

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-268599

(P2000-268599A)

(43)公開日 平成12年9月29日(2000.9.29)

(51) Int.Cl.	7	識別記号
G 1 1 C	29/00	6 7 1
	11/22	
	14/00	
H 0 1 L	27/10	4 5 1
	27/108	

F I	テマコト [®] (参考)		
G 1 1 C 29/00	6 7 1 Z	5 B 0 2 4	
11/22		5 F 0 8 3	
H 0 1 L 27/10	4 5 1	5 L 1 0 6	
G 1 1 C 11/34	3 5 2 A		
H 0 1 L 27/10	6 2 1 Z		

(21) 出願番号 特願平11-74050

(22)出願日 平成11年3月18日(1999.3.18)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 萩原 隆

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 田中 寿実夫

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

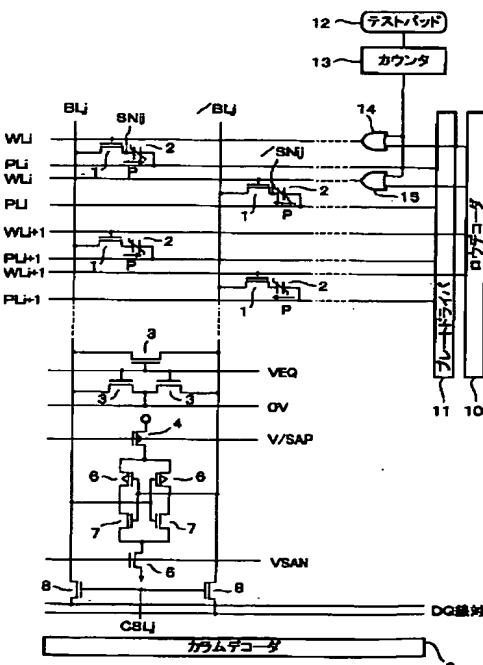
最終頁に統く

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【課題】強誘電体メモリの動作中における電極及び配線間の容量結合等による非選択メモリセルでの分極の減少を高速に評価するテスト回路を提供する。

【解決手段】読み出し等の強誘電体メモリの動作時にパルス状に変化するワード線、プレート線、ビット線等の電圧変化が、容量結合等を介して繰り返し非選択の強誘電体キャパシタに書き込まれた分極に微小なディステップ電圧を与える、分極を減少させる。この減少量を評価するためテスト信号を用いてチップ上のカウンタを動作させ、複数のテストパルスをワード線、プレート線、またはビット線等のいずれかに入力することにより、非選択の強誘電体キャパシタにディステップを与える。あらかじめセルアレイに書き込まれたテストパターンがディステップにより変化する状況をフェイルマップ等を用いて調べれば、強誘電体メモリにおけるディステップの大きさを高精度に評価することが可能になる。



1

【特許請求の範囲】

【請求項1】 半導体基板と、少なくとも1つの強誘電体膜を有するメモリセルキャパシタと、前記メモリセルキャパシタの一方の電極に一方の電流端子が接続されたスイッチと、前記メモリセルキャパシタの他方の電極に接続されたプレート線と、前記スイッチの他方の電流端子に接続されたビット線と、前記スイッチのオン／オフを制御するゲート端子に接続されたワード線と、からなる複数のメモリセルを備え、前記ワード線又は前記半導体基板の電位を上昇した後、元の電位に戻す動作を少なくとも1回行うことにより、前記メモリセルキャパシタの一方の電極と他方の電極との間に前記強誘電体膜の飽和電圧未満の電位差が少なくとも1回加わるようにし、かかる後前記強誘電体膜に記憶情報として書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする強誘電体メモリ。

【請求項2】 前記上昇させるワード線の電位は、通常の読み出し動作における前記ワード線電位よりも高いことを特徴とする請求項1記載の強誘電体メモリ。

【請求項3】 前記メモリセルキャパシタの一方の電極と他方の電極との間に加える飽和電圧未満の電位差は、前記強誘電体膜の分極により前記メモリセルキャパシタの一方の電極と他方の電極との間に生じる電位差と逆符号であることを特徴とする請求項1、2のいずれか1つに記載の強誘電体メモリ。

【請求項4】 前記ワード線は、前記ビット線の電位を0Vとするドライバ又はイコライザから最も離れた位置にあることを特徴とする請求項1乃至3のいずれか1つに記載の強誘電体メモリ。

【請求項5】 前記一方の電極と他方の電極との間に飽和電圧未満の電位差が加えられる前記メモリセルキャパシタは、このメモリセルキャパシタの他方の電極に接続されたプレート線を0Vに固定する回路から最も離れた位置にあることを特徴とする請求項1乃至4のいずれか1つに記載の強誘電体メモリ。

【請求項6】 少なくとも1つの強誘電体膜を有する第1のメモリセルキャパシタと、前記第1のメモリセルキャパシタの一方の電極に一方の電流端子が接続された第1のスイッチと、前記第1のメモリセルキャパシタの他方の電極に接続された第1のプレート線と、前記第1のスイッチの他方の電流端子に接続されたビット線と、前記第1のスイッチのオン／オフを制御するゲート端子に接続された第1のワード線と、

10

少なくとも1つの強誘電体膜を有する第2のメモリセルキャパシタと、前記第2のメモリセルキャパシタの一方の電極に一方の電流端子が接続された第2のスイッチと、前記第2のメモリセルキャパシタの他方の電極に接続された第2のプレート線と、前記第2のスイッチの他方の電流端子に接続された相補ビット線と、前記第2のスイッチのオン／オフを制御するゲート端子に接続された第2のワード線と、からなる複数のメモリセルを備え、前記第1、第2のワード線の少なくともいずれかも1つを低レベルにして、前記第1、第2のプレート線の少なくともいずれか1つをパルス駆動した後、前記第1、第2のメモリセルキャパシタの強誘電体膜に記憶情報としてそれぞれ書き込まれた分極の通常の読み出しを行うテストモードを具備することを特徴とする強誘電体メモリ。

【請求項7】 少なくとも1つの強誘電体膜を有するメモリセルキャパシタと、

前記メモリセルキャパシタの一方の電極に一方の電流端子が接続されたスイッチと、前記メモリセルキャパシタの他方の電極に接続されたプレート線と、前記スイッチの他方の電流端子に接続されたビット線と、前記スイッチのオン／オフを制御するゲート端子に接続されたワード線と、からなる複数のメモリセルを備え、前記ワード線により前記スイッチをオフした状態で前記ビット線をパルス駆動することにより前記強誘電体キャパシタの一方の電極と他方の電極との間に飽和電圧未満の電位差が加わるようにした後、前記メモリセルキャパシタの強誘電体膜に記憶情報として書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする強誘電体メモリ。

【請求項8】 少なくとも1つの強誘電体膜を有するメモリセルキャパシタと、

前記メモリセルキャパシタの一方の電極に一方の電流端子が接続された第1のスイッチと、前記メモリセルキャパシタの他方の電極に一方の電流端子が接続された第2のスイッチと、前記第1のスイッチの他方の電流端子に接続されたビット線と、前記第2のスイッチの他方の電流端子に接続された相補ビット線と、前記第1及び第2のスイッチをオン／オフ制御するゲート端子に共通に接続されたワード線からなる複数のメモリセルを備え、前記ワード線により前記第1及び第2のスイッチをオフした状態で少なくとも前記ビット線及び前記相補ビット線のいずれかをパルス駆動することによ

20

30

40

50

り前記強誘電体キャパシタの一方の電極と他方の電極との間に飽和電圧未満の電位差が加わるようにした後、前記メモリセルキャパシタの強誘電体膜に記憶情報として書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする強誘電体メモリ。

【請求項9】 少なくとも1つの強誘電体膜を有するキャパシタと、前記メモリセルキャパシタの一方の電極に一方の電流端子が接続された第1のスイッチと、前記メモリセルキャパシタの他方の電極に一方の電流端子が接続された第2のスイッチと、
前記第1のスイッチの他方の電流端子に接続されたビット線と、
前記第2のスイッチの他方の電流端子に接続された相補ビット線と、
前記第1及び第2のスイッチをオン／オフ制御するゲート端子に共通に接続されたワード線からなるメモリセルと、
前記ビット線と相補ビット線に読み出されたデータを比較増幅するセンスアンプと、
前記第1のビット線を駆動するビット線ドライバと、
前記第2のビット線を駆動する相補ビット線ドライバと、
前記メモリセル領域の前記ビット線と前記センスアンプ領域の前記ビット線との間の選択的な接続と切り離しを行う第3のスイッチと、
前記メモリセル領域の前記相補ビット線と前記センスアンプ領域の前記相補ビット線との間の選択的な接続と切り離しを行う第4のスイッチと、
前記第3、第4のスイッチをオン／オフ制御する制御線と、
前記ビット線と相補ビット線とをイコライズするイコライズ回路と、からなる第1のカラムと、
少なくとも前記第1のカラムに隣接し、前記第1のカラムと同一の回路構成を有する第2のカラムとを備え、前記ワード線をオンした状態で、第1のカラムのメモリセルに対し、前記第1のカラムから前記第2のカラムに向かう分極を書き込み、前記第2のカラムの第1のカラムに隣接するビット線を少なくとも1回パルス駆動した後、通常の読み出し動作を行うテストモードを具備することを特徴とする強誘電体メモリ。

【請求項10】 前記第1のカラムが奇数番のカラムに割り当てられ、前記第2のカラムが偶数番のカラムに割り当てられ、メモリセルアレイの一部又は全部が同時にテストされることを特徴とする請求項9記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は強誘電体メモリ全般に係り、特に低消費電力化を目指した強誘電体メモリの

読み出し動作において、非選択メモリセルへの誤書き込みを評価する機能を備えた強誘電体メモリに関するものである。

【0002】

【従来の技術】 従来開発された強誘電体メモリとして、例えば1998年のVLSI Circuit Symposiumにおける“A 42.5mm² 1Mb Nonvolatile Ferroelectric Memory Utilizing Advanced Architecture for Enhanced Reliability”(VLSI Circuit Sympo. Digest of Technical Papers, pp. 242-245, 1998)と題する発表がある。この文献では、低消費電力化を目指した1メガビットの強誘電体メモリの構成と性能が示されている。

【0003】 図17(a)に示すように、この1メガビット強誘電体メモリはメモリセルアレイが32個のメモリセルブロック50に分割される。図17(a)では片側の16個のメモリセルブロック50のみを示しているが、実際には破線で矢示した方向に折り返すように、メモリセルアレイが拡張されている。

【0004】 図17(a)に示す強誘電体メモリのパターンレイアウトは、チップの中央部に横に長いカラムデコーダが形成され、センスアンプを介してその両側にメモリセルブロック50が配置される。また、長手方向がカラムデコーダと直角になるように、その両側にロウデコーダとプレートドライバが形成され、図17(b)に示すメモリセルは、MOSトランジスタ1からなるスイッチと、PZT(PbZr(Ti)O₃)等の強誘電体を誘電膜とするセルキャパシタ2と、ワード線WLと、プレート線PLと、ビット線BLとから構成される。

【0005】 なお、図17(b)では、1個のMOSトランジスタと1個のセルキャパシタからなる1トランジスター1キャパシタ型(以下1T-1C型と呼ぶ)のメモリセルを示しているが、高集積化のため実際には隣接する2個のメモリセルがプレート線PLを共通にして折り返すように形成される。

【0006】 後に説明するように、プレート線PLに接続されるセルキャパシタ2の電極はシリコン基板側に配置されるので下部電極と呼び、MOSトランジスタ1のソースに接続されるセルキャパシタ2の電極を上部電極と呼ぶ。

【0007】 図17(a)に示すように、1本のワード線WLが複数のメモリセルブロック50を横断して選択されるが、プレート線PLは図にハッチで示す選択ブロック50に属するものだけが駆動され、センスアンプは選択カラムに属するものだけが活性化される。この文献では次の2点が成立することを前提としている。

【0008】 (1) 複数の非選択ブロックを横断して1本のワード線が選択されるが、プレート線とセンスアンプが駆動または活性化されなければ、オンしたワード線に連なるセルのデータは破壊されない。

(2) 2本のワード線で1本のプレート線を共有してい

るので、一方の選択されたワード線をオンし、プレート線を駆動してセルキャパシタ2に記憶されたデータを読み出せば、他方の非選択ワード線側のセルキャパシタも共通のプレート線により駆動されるが、この時オフした非選択ワード線は低レベルであるためこれに連なるMOSトランジスタはオフとなり、したがってここに直列接続された非選択セルキャパシタの記憶データは破壊されない。

【0009】しかし、この文献に示されたデバイス構造について発明者が3次元容量シミュレータDIAMOND及び回路シミュレータSAPPHIREを用いて数値解析を行った結果、これらの前提条件は必ずしも成立しないことが明らかになった。

【0010】すなわち、読み出し動作時における配線及び電極間のカップリングにより、非選択セルの記憶データが減少するリードディスターブを生じることが明らかになった。

【0011】前記(1)項、(2)項に対応してこの問題を示せば次のとおりである。

(1) 非選択ブロックにおいて、ワード線とビット線、
20 及びワード線と上部電極とのカップリングにより分極量として蓄えられた記憶データが減少する。

(2) 非選択ワード線側のセルキャパシタのプレート線を駆動すれば、セルキャパシタと直列に接続されたトランジスタがオフ状態であっても、セルキャパシタの上部電極と下部電極との間にカップリングによる過度的な電位差が発生するため、分極量として非選択ワード線側のメモリセルに書き込まれた記憶データが選択されたメモリセルの読み出し動作により減少する。

【0012】次に図18乃至図22を用いて解析結果を30 詳細に説明する。ここでは読み出そうとするメモリセルにプレート線からビット線向きの分極が書き込まれてい*

ワード線とビット線との交差部における両者の容量 : 1. 68 fF
ワード線と上部電極間の容量 : 1. 28 fF
基板にコンタクトを接続している方のビット線容量 : 6. 139 fF
基板にコンタクトを接続していない方のビット線容量 : 0. 99 fF

なおワード線52とビット線51との交差部における両者の容量を計算する時には、ワード線52のゲートポリシリコンの下にソース/ドレイン拡散層60のn⁺領域が、横方向拡散により片側0. 175 μmだけ食い込んでいるものと仮定した。

【0018】ここで1対のビット線51が、512本のワード線をまたぐとすれば、ビット線の寄生容量は一本当たり、

$$(6. 139 + 0. 99) \times 512 / 4 = 912. 64 \text{ fF}$$

となる。

【0019】また、基板上のn⁺拡散層にコンタクトを接続しているビット線の、前記n⁺拡散層の接合容量は、面積項を0. 4 fF/μm²、周辺項を0. 37 f

*る場合を検討する。前記の文献ではメモリセルの構造の詳細は明らかにされていないが、FRAM (Ferroclectric Random Access Memory の略称) のセル構造が図18及び図19のような上面図と断面図を有するものと想定して解析を行った。

【0013】図18に示すFRAMセルの平面構造は、2層目のアルミ配線からなるビット線51と、これと直交するように下部に配置されるワード線52と、ワード線52に沿ってビット線51及びワード線52の間に配置され、セルキャパシタの下部電極となる幅の広いプレート線53と、その上部電極54と、シリコン基板上に形成されたMOSトランジスタのソース/ドレイン拡散層と、1層目のアルミ配線(図で1A1と記載)を介してこれらを相互に接続する55乃至58のコンタクトから構成される。

【0014】前記FRAMセルの断面構造を図19に示す。図18と対応する構成要素に同一の参照番号を付して、詳細な説明を省略する。なお、図19ではさらに強誘電体膜55aと、シリコン基板59と、MOSトランジスタのソース/ドレイン拡散層60と、アイソプレーナ型の素子分離絶縁膜61が示されている。その他の太いハッチで示した部分はSiO₂からなる層間絶縁膜である。

【0015】図19の断面構造から、プレート線53が強誘電体膜55aを備えるセルキャパシタの下部電極をなすこと、また、ワード線52の一部がMOSトランジスタのゲート電極を兼ねることがわかる。

【0016】3次元容量シミュレータDIAMONDを用いて、前記FRAMのセル構造につき、配線及び電極間の容量シミュレーションを実施し、次に示すような結果が得られた。

【0017】

ワード線とビット線との交差部における両者の容量 : 1. 68 fF
ワード線と上部電極間の容量 : 1. 28 fF
基板にコンタクトを接続している方のビット線容量 : 6. 139 fF
基板にコンタクトを接続していない方のビット線容量 : 0. 99 fF
F/μm²として計算すれば、ビット線1本当たり、
(1. 64 + 3. 108) × 512 / 4 = 607. 74
4 fF
となる。両者を合計すれば、ビット線1本当たりの寄生容量は1520. 384 fFとなる。

【0020】以上の結果をFRAMの等価回路に入力し、容量結合によるカップリングの発生状況を求めた。なお、ここで用いた等価回路では、センスアンプに隣接して1対のビット線を接地するイコライザが配置され、ワード線及びプレート線はこれと反対側の端に位置するものが選択される場合について検討した。またビット線のR*C遅延については、Π型等価回路を用いて評価した。

【0021】この等価回路を用いてシミュレーションを

実施した結果、図20(a)に示すようにワード線1本のみを立ち上げた場合、セルキャパシタの上部電極とビット線の電位がカップリングにより図20(b)、図20(c)に示すよう変化することがわかった。

【0022】すなわち、上部電極はワード線の立ち上げ時に20mV上昇し、立ち下げ時に30mV下降する。またビット線は、ワード線の立ち上げ時に14mV上昇し、立ち下げ時に12mV下降する。

【0023】このとき、シミュレーションにおける分極の向きは、プレート線(下部電極)からビット線側(上部電極)に向かう方向となっている。したがって図22に示すように、ヒステリシス曲線の微分係数は、VPL-VBL(プレート線PLとビット線BLとの電位差)が負の方向に変化する方が正の方向に変化するよりも大きい。このように同一ワード線が何度も選択されて、これと交差する非選択ブロックのビット線にカップリングによる電位が伝わり、強誘電体キャパシタの両端に何度もパルス状の微小な電位差が加わることが十分考えられる。

【0024】このような場合、図22のヒステリシス曲線に太く矢示したように、加えられたパルスの回数に応じて分極Pが減少する。すなわち、非選択メモリセルに分極Pとして書き込まれた記憶データが消失することになる。

【0025】以上、プレート線が駆動される前の段階でオンした、高レベル状態のワード線に連なる、非選択ブロックのセルキャパシタに加わるディスターブについて説明したが、次にプレート線を駆動した場合の問題について述べる。プレート線を立ち上げた時に、オフしている低レベル状態のワード線に連なるセルキャパシタに加えられるディスターブを図21に示す。

【0026】図21(a)はプレート線駆動によるプレート線電位の変化を示すタイミングチャート、図21(b)はこのとき生じる下部電極と上部電極の電位差を示す拡大図である。

【0027】図21(b)に示すように、プレート線の駆動により下部電極と上部電極の間に60mVもの電位差が生じている。先にのべたように、FRAMの読み出し動作において同一のプレート線が何度も選択され、その結果、オフしている低レベルのワード線に連なる非選択の強誘電体セルキャパシタの両端に、何度もパルス状の電位差が加わることが十分考えられる。このような場合にも、図22のヒステリシス曲線に太く矢示したように、加えられたパルスの回数に応じて分極Pの減少を生じることになる。

【0028】以上、従来の1T-1C型強誘電体メモリについて問題点を説明したが、このほか、強誘電体薄膜を用いたセルキャパシタ2個とMOSトランジスタ2個から1メモリセルを構成し、これに分極の向きという形でデータを蓄積する2トランジスター2キャパシタ型

10

30

40

50

(以下2T-2C型と略称する)強誘電体メモリが提案されてきた。

【0029】このメモリは不揮発性で読み出しが高速に行えるという特徴があるため、近年研究開発が活発に行われるようになってきた。2T-2C型FRAMのセル構造の特徴は、先に図18、図19を用いて説明したように、ビット線を2層目のアルミ配線で形成し、強誘電体キャパシタの上部電極を1層目のアルミ配線で形成することである。両者の間には絶縁用の酸化膜が介在するのみであるため、両者のカップリング容量が無視できない状況になっている。

【0030】3次元容量シミュレータ、DIAMONDによってこれらの容量値を求めたところ、上部電極の容量そのものは0.249pF、これとビット線との間のカップリング容量は0.424fFとなり、ビット線に振幅3.3Vの信号電圧が加われば、上部電極は5.6mVのディスターブを受けることが明らかになった。また、2T-2C型FRAMのほかに、1個の強誘電体キャパシタを2個のMOSトランジスタではさんだ2T-1C型の構造が提案されてきた。

【0031】(U.S.P.4,888,733)。

【0032】このFRAMは、記憶データを強誘電体キャパシタの分極の方向として書き込み、不揮発性であることについては、現在製品化されている2T-2C型FRAMや研究開発途上の1T-1C型FRAMと同様である。

【0033】先にのべた2T-2C型では、ビット線BL及び相補ビット線/BLに連なる強誘電体キャパシタに反対向きの分極を書き込んで読み出しを行うため、参照電位を作る必要がないという利点がある反面、1個のセルを2個の強誘電体キャパシタと2個のMOSトランジスタで作るために高集積化には不利である。

【0034】一方1T-1C型では、集積度の点では2-2C型よりも有利であるが、参照電位を作るのが難しいという問題があった。また、両者に共通の問題点として、図18に示すように、プレート線53はワード線52と平行に走っており、読み出し時には多くの強誘電体キャパシタを一斉に昇圧しなければならず、このためプレートドライバが非常に大きくなり、かつ昇圧そのものに時間を要するという欠点があった。次に図23を用いて、2T-1C型FRAMの回路構成を説明する。

【0035】図23に示す2T-1C型FRAMのメモリセル領域は、2個のトランスマルチゲートMOSトランジスタ1の間に、それぞれ接続されたC_{i0}~C_{ij}(i,jは自然数)からなる強誘電体キャパシタ2と、MOSトランジスタ1のゲートに接続されるワード線W_{Li}と、前記MOSトランジスタ1のソース/ドレインにそれぞれ接続されるB_{L0}、/B_{L0}~B_{Lj}、/B_{Lj}からなるビット線から構成される。これらのビット線はB_{D0}、/B_{D0}~B_{Dj}、/B_{Dj}からなるビッ

ト線及び相補ビット線ドライバ16を介して駆動される。

【0036】イコライザは、MOSトランジスタ3のゲートにイコライズ信号VEQを与えることにより、BLj、/BLj等からなる1対のビット線を互いに接続し0Vに接地することによりFRAMの高速読み出しを可能にする。

【0037】MOSトランジスタ17からなる分離用ゲートは、信号V_{φt0}、V_{φt1}により、前記メモリセル領域のブロック選択を行い、センスアンプ18は、信号電圧V/SAP、VSANにより活性化され、前記1対のビット線から出力される記憶データを比較増幅する。

【0038】MOSトランジスタ8からなるDQ(Data Quest)ゲートは、CSL0～CSLjのカラムセレクト信号により、1対のビット線からなるメモリセルのカラムを選択し、DQ線対に記憶データを入出力する。

【0039】図23に示すように、2T-1C型では強誘電体キャパシタC_{ij}(i、jは自然数)は、ワード線に垂直な1対のビット線を通じて駆動されるので、ファーストページ、EDO(Enhanced Data Output)、EDOバースト等のように、ワード線を選択してこれに連なるメモリセルのデータを一斉に出力することはできない。

【0040】しかし、ビット線を通じて駆動されるのは選択された1個の強誘電体キャパシタと1対のビット線に連なるトランスマージゲートMOSトランジスタ1のソース・ドレイン拡散層容量だけであり、ビット線ドライバ16も小さくてよい上に、プレート線も存在しないので、その昇圧に時間を要することもない。

【0041】ここでEDOとは、ファーストページモードをさらに高速化したもので、ハイパーページモードとよばれる。ファーストページモードでは、ワード線を選択した後アドレス遷移検出回路を用いて列アドレスの切り替えを検知し、CASの立ち上がりを待たずにアクセスを開始することによりページモードでの読み出しを高速化している。

【0042】ファーストページモードで動作サイクルを高速化すれば、データ出力期間が短くなりタイミング設計が困難になる。EDOではCASの立ち下がりエッジでデータの出力を止めるのではなくて、次のCASの立ち上がりエッジまでデータの出力が延長される。

【0043】また、EDOをさらに高速化しようとすれば、アドレスを外部から高速に切り替える必要を生じ、再びタイミング設計が困難になる。これを解決するために、EDOバーストでは、アドレスを外部から切り替えるのではなくて、内部でアドレスを発生させることによりさらに高速化を図ることができる。

【0044】2T-1C型FRAMは、集積化という点では少なくとも2T-2C型FRAMよりは有利であり、また、参照電位を作る必要がないという利点があ

る。この2T-1C型FRAM技術は、特許(U.S.P.4,888,733)としてラムトロン社より提案があったのみでその後研究がなされておらず、低消費電力化等の技術開発も全くなされていなかった。

【0045】2T-1C型FRAMのセル構造に対しては平面図や断面図は示されておらず、したがって、DIAMONDの計算結果もなされていないが、先に述べた1T-1C型又は2T-2C型FRAMのように、記憶データをセンスアンプにより比較増幅する際、ビット線からセルキャパシタの上部電極に同様なディスターブを生じる問題を回避することができない。

【0046】このように2T-1C型FRAMでは、ビット線と強誘電体キャパシタの上部電極との間のカップリング容量が無視できない構成に付随する問題を解決しなければならないが、この問題は必ずしも2T-1C型に限定されるものではなく、一般にビット線と強誘電体キャパシタの上部電極との間のカップリング容量が無視できない構成に付随するものである。また、FRAMの構成を2T-1C型に限定すれば、このカップリング容量が無視できる場合でも、ビット線の振幅がセルキャパシタにディスターブを及ぼすことが考えられる。

【0047】次に、従来FRAMの低消費電力化についてなされた技術開発に関連して、2T-1C型FRAMに特徴的な、ビット線と強誘電体キャパシタの上部電極とのカップリング容量とは無関係なディスターブについて説明する。

【0048】先に図17の1T-1C型FRAMについて述べたように、セルアレイを32個のブロックに分割し、ワード線はブロックを横断して選択されるが、プレート線は選択されたブロックに属するものだけを駆動し、センスアンプは選択カラムに属するもの1個だけを活性化すれば低消費電力化を図ることができる。

【0049】このとき、ワード線は非選択ブロックを横断して選択されても、プレート線とセンスアンプさえ駆動又は活性化されなければ、非選択ブロック及び非選択カラムに連なるセルの記憶データは破壊されない。

【0050】この考え方を従来の2T-1C型FRAMに拡張すれば、データの読み出し方式としてカラムアドレスをデコードすることによりビット線対を選択的にイコライズ解除してドライブし、センスアンプをカラムごとに活性化して比較増幅すれば読み出すカラムのみが充放電されるため低消費電力化に役立つと考えられる。この間の事情を説明するために、まず2T-1C型のFRAMの基本的な読み出し動作について述べる。

【0051】先に図23を用いて説明した従来の2T-1C型FRAMの回路構成について、図26のタイミングチャートを参考に、擬似SRAM(pseudo-Static RandomAccess Memory)モードによる通常の読み出し動作を説明する。

【0052】(1)動作の開始にあたり、全てのワード

線電圧VWL_iは0Vになっており、ビット線はイコライズ電圧VEQを高レベル（以下“H”とよぶ）にすることにより、全て0Vにイコライズされている。

（2）／RAS（RAS；Row Adress Strobeと相補な信号）を下降させ、／CAS（CAS；Column Adress Strobeと相補な信号）をこれと同期して立ち上げる。／RASの下降エッジでロウアドレスRA0を、／CASの上昇エッジでカラムアドレスCA0を取り込む。

（3）次にロウアドレスRA0をデコードして選択的にワード線電圧VWL_iを立ち上げ、カラムアドレスCA0をデコードして選択的にビット線対のイコライズ電圧VEQ0を“L”とし、イコライズを解除する。ワード線電圧VWL_iの立ち上げと同時に一方の分離用ゲート電圧V_{φt1}を昇圧し、／BL0に出力する記憶データをセンスアンプに入力するよう準備する。

（4）次に、イコライズを解除したビット線対において、一方のビット線BL0を0VからVccに昇圧し、再び0Vに戻す。その後V_{φt1}を0Vに戻して／BL0側のMOSトランジスタ17をオフすることにより、出力データをセンスアンプS/Aの一方のノード1*に保持する。

【0053】最初にBL0から／BL0の向き（正方向）の分極がセルキャパシタに“0”データとして書き込まれていた場合、分極Pとセルキャパシタの端子電圧との関係は、図24（a）のヒステリシス曲線上に示した軌跡を描く。一方逆向き（負方向）の分極Pが“1”データとして書き込まれていた場合、図24（b）のヒステリシス曲線上に示した軌跡を描く。両図において、①は分極Pの初期状態、②はビット線ドライバ／BD0を通じて／BL0をVccに昇圧した状態、③は／BD0を再び0Vに戻した状態である。

【0054】ここで重要なことは、両図の①と③の破線に矢示したように、負方向の分極Pが書き込まれていた場合には、正方向の分極Pが書き込まれていた場合に比べて、／BL0に残る電位が大きいことである。

【0055】（5）続いてV_{φt0}を用いてBL0側のMOSトランジスタ17をオンした後にBL0をVccまで昇圧し再び0Vに戻すことによってBL0に電荷を読み出す。

【0056】最初に正方向の分極Pが書き込まれていた場合、分極Pとセルキャパシタの端子電圧との関係は図24（a）のヒステリシス曲線の続に示した軌跡を描く。一方負方向の分極Pが書き込まれていた場合は図24（b）のヒステリシス曲線の続に示した軌跡を描く。両図において④はビット線ドライバBD0を通じてBL0をVccに昇圧したものである。また⑤はBL0を再び0V戻したものである。

【0057】続いてBL0側のMOSトランジスタ17をオフし、書き込みデータをセンスアンプS/Aの他方のノード0*に保持し、センスアンプS/Aによる比較

増幅の後にカラムセレクトラインCSL0を選択してDQ線対を通じて書き込みデータをチップ外部に読み出す。

【0058】ここで重要なことは、最初に正方向の分極が書き込まれていた場合には、／BL0の電位は最初のパルス駆動の後あまり上昇せず、そのため次のパルス駆動によって電位が十分に上昇する余地があるために、BL0側に高い電位が出るということである。

【0059】一方、最初に負方向の分極が書かれていた場合は、／BL0の電位は最初のパルス駆動の後高い電位に上昇し、そのため次のパルス駆動によって十分に電位が上昇する余地は少なく、結局BL0側に低い電位が出るということである。

【0060】この動作においては、ビット線対イコライズの解除、プレート線の駆動、センスアンプによる比較増幅、カラムセレクト線CLSの選択等をカラムアドレスをデコードして行っている。したがって非選択カラムは全く動作せず、消費電力を低減することができる。

【0061】（6）最後に分離用ゲート電圧V_{φt0}、V_{φt1}を“H”としてビット線対のMOSトランジスタ17を共にオンとし、メモリセルに再書き込みを行った後、ワード線を閉じ、センスアンプを非活性化し、ビット線をイコライズすることにより読み出し動作を終了する。

【0062】図25の回路構成は図22を発展させたもので、選択されたカラムのビット線対のみイコライズを解除してドライブすることにより、セルキャパシタのデータを読み出し、他は非選択のままイコライズしておくことで低消費電力化をはかったものである。

【0063】図25と図22を比較した場合、メモリセル及びセルアレイの構成は全く同一であるがビット線ドライバ、イコライズ回路、及びセンスアンプ活性化信号、及びDQゲートを、カラムアドレスをデコードした信号CA_j（jは自然数）と、ANDゲート22、26、28、30により1カラムごとに制御できる点が異なっている。この構成は従来発表されたものではなく、前述のVLSI Circuit symposiumの発表に基づき、発明者が発展的に2T-1C型FRAMに適用したものである。これに対し、図22のように従来提案された2T-1C型FRAMでは、ビット線ドライバ、イコライズ回路、及びセンスアンプ活性化信号は、カラムアドレスをデコードした信号によって一つ一つ制御されるのではなく、オンしたワード線に連なるものは全て動作する。

【0064】したがって、チップ外部に読み出すデータではなくとも、オンしたワード線に連なるセルデータは全て一旦は読み出され再書き込みされる。図25ではチップ外部に読み出すカラムのみ読み出しと再書き込みを行い、それ以外はイコライズを解除しないことにより消費電力を下げることができる。しかし、このFRAM回路の問題点として、上記の読み出し方法には次のような

問題点が含まれる。

【0065】例えば図27に示すように、カラムアドレスCAj～CAj+3を交互に“H”、“L”として、選択カラムと非選択カラムが交互に隣接する場合、すなわち選択されたj番のカラムとj+2番のカラムの間に、j+1番のカラムが挟まるるように位置し、分極Pの方向及びセンス増幅の結果が図27に示すようになる場合、ワード線はオンしているために、j番及びj+2番のカラムのセンス増幅の際、隣り合うビット線を通じたカップリングによりj+1番のカラムに属するセルキャパシタCi,j+1の両電極間に電位差が発生し、分極Pが減少する可能性がある。

【0066】このとき、非選択のカラムはイコライズされているが、ビット線対を0Vにしているイコライザからの距離に応じて、前記隣り合うビット線を通じたカップリングによる電位差が発生し、読み出し動作の繰り返しにより、図22で説明した機構に基づくリードディスクターブが発生すると考えられる。

【0067】

【発明が解決しようとする課題】上記したように、従来の1T-1C型及び2T-2C型F R A M回路は非選択ブロックにおいて、ワード線とビット線とのカップリングによりワード線がオンした時にビット線を介して強誘電体キャパシタの両電極間の電位差がわずかに上下し、記憶データとして書き込まれた分極量が減少するという問題があった。また高集積化のために、2本のワード線で1本のプレート線を共有する回路構成とすれば、非選択側のワード線に接続されたセルキャパシタは、プレート線が駆動するごとに強誘電体キャパシタの両電極間の電位差がわずかに上下し、記憶データとして書き込まれた分極量が減少するという問題があった。

【0068】また、従来の2T-1C型F R A M回路の発展形態として発明者が検討した低消費電力型の回路構成では、非選択カラムの両側に選択カラムが隣接する場合に、ビット線間のカップリングにより非選択カラムの強誘電体キャパシタの両電極間の電位差がわずかに上下し、記憶データとして書き込まれた分極量が減少するという問題があった。

【0069】本発明は上記の問題点を解決すべくなされたものであり、1T-1C型及び2T-2C型F R A Mにおいて、ワード線のオン／オフ、またはプレート線を共有する構成においてはプレート線のオン／オフを連続的に行ってから読み出し動作をすることにより、記憶データとして書き込まれた分極量の減少を高速に評価するテストモードを提供することを第1の目的とする。

【0070】また、特に低消費電力用に改良された2T-1C型F R A Mのほか、一般にビット線からのディスクターブの影響をみるために、ビット線のオン、オフを連続的に行ってから読み出し動作をすることにより、記憶データとして書き込まれた分極の減少を高速に評価する

10

20

30

40

50

テストモードを提供することを第2の目的とする。

【0071】

【課題を解決するための手段】本発明のF R A Mは、特に記憶データの読み出し動作において、非選択の強誘電体キャパシタに書き込まれた分極の減少を高速に評価するテスト回路とテストモードを具備することを特徴とする。

【0072】具体的には本発明のF R A Mは半導体基板と、少なくとも1つの強誘電体膜を有するメモリセルキャパシタと、前記メモリセルキャパシタの一方の電極に一方の電流端子が接続されたスイッチと、前記メモリセルキャパシタの他方の電極に接続されたプレート線と、前記スイッチの他方の電流端子に接続されたビット線と、前記スイッチのオン／オフを制御するゲート端子に接続されたワード線と、からなる複数のメモリセルを備え、前記ワード線又は前記半導体基板の電位を上昇した後、元の電位に戻す動作を少なくとも1回行うことにより、前記メモリセルキャパシタの一方の電極と他方の電極との間に前記強誘電体膜の飽和電圧未満の電位差が少なくとも1回加わるようにし、かかる後、前記強誘電体膜に記憶情報として書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする。

【0073】好ましくは前記上昇させるワード線の電位は、通常の読み出し動作における前記ワード線電位よりも高いことを特徴とする。

【0074】また好ましくは、前記メモリセルキャパシタの一方の電極と他方の電極との間に加える飽和電圧未満の電位差は、前記強誘電体膜の分極により前記メモリセルキャパシタの一方の電極と他方の電極との間に生じる電位差と逆符号であることを特徴とする。

【0075】また好ましくは前記ワード線は、前記ビット線の電位を0Vとするドライバ又はイコライザからもっとも離れた位置にあることを特徴とする。

【0076】また好ましくは、前記一方の電極と他方の電極との間に飽和電圧未満の電位差が加えられる前記メモリセルキャパシタは、このメモリセルキャパシタの他方の電極に接続されたプレート線を0Vに固定する回路から最も離れた位置にあることを特徴とする。

【0077】また本発明のF R A Mは、少なくとも1つの強誘電体膜を有する第1のメモリセルキャパシタと、前記第1のメモリセルキャパシタの一方の電極に一方の電流端子が接続された第1のスイッチと、前記第1のメモリセルキャパシタの他方の電極に接続された第1のプレート線と、前記第1のスイッチの他方の電流端子に接続されたビット線と、前記第1のスイッチのオン／オフを制御するゲート端子に接続された第1のワード線と、少なくとも1つの強誘電体膜を有する第2のメモリセルキャパシタと、前記第2のメモリセルキャパシタの一方の電極に一方の電流端子が接続された第2のスイッチと、前記第2のメモリセルキャパシタの他方の電極に接

続された第2のプレート線と、前記第2のスイッチの他方の電流端子に接続された相補ビット線と、前記第2のスイッチのオン／オフを制御するゲート端子に接続された第2のワード線と、からなる複数のメモリセルを備え、前記第1、第2のワード線の少なくともいずれかも1つを低レベルにして、前記第1、第2のプレート線の少なくともいずれか1つをパルス駆動した後、前記第1、第2のメモリセルキャパシタの強誘電体膜に記憶情報としてそれぞれ書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする。このとき前記第1、第2のワード線は共に低レベルであることが望ましい。

【0078】また本発明のFRAMは、少なくとも1つの強誘電体膜を有するメモリセルキャパシタと、前記メモリセルキャパシタの一方の電極に一方の電流端子が接続されたスイッチと、前記メモリセルキャパシタの他方の電極に接続されたプレート線と、前記スイッチの他方の電流端子に接続されたビット線と、前記スイッチのオン／オフを制御するゲート端子に接続されたワード線とからなる複数のメモリセルを備え、前記ワード線により前記スイッチをオフした状態で前記ビット線をパルス駆動することにより前記強誘電体キャパシタの一方の電極と他方の電極との間に飽和電圧未満の電位差が加わるようとした後、前記メモリセルキャパシタの強誘電体膜に記憶情報として書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする。

【0079】また本発明のFRAMは、少なくとも1つの強誘電体膜を有するメモリセルキャパシタと、前記メモリセルキャパシタの一方の電極に一方の電流端子が接続された第1のスイッチと、前記メモリセルキャパシタの他方の電極に一方の電流端子が接続された第2のスイッチと、前記第1のスイッチの他方の電流端子に接続されたビット線と、前記第2のスイッチの他方の電流端子に接続された相補ビット線と、前記第1及び第2のスイッチをオン／オフ制御するゲート端子に共通に接続されたワード線からなる複数のメモリセルを備え、前記ワード線により前記第1及び第2のスイッチをオフした状態で少なくとも前記ビット線及び前記相補ビット線のいずれかをパルス駆動することにより前記強誘電体キャパシタの一方の電極と他方の電極との間に飽和電圧未満の電位差が加わるようとした後、前記メモリセルキャパシタの強誘電体膜に記憶情報として書き込まれた分極の通常の読み出し動作を行うテストモードを具備することを特徴とする。

【0080】また好ましくは、前記メモリセルキャパシタの一方の電極と他方の電極との間に加える飽和電圧未満の電位差は、前記強誘電体膜の分極により前記メモリセルキャパシタの一方の電極と他方の電極との間に生じる電位差と逆符号であることを特徴とする。

【0081】また好ましくは、前記強誘電体膜への分極

10

20

30

40

50

の書き込み方向は、前記ビット線及び前記相補ビット線からの半導体基板と垂直方向の距離が、遠い方から近い方に向かう方向であることを特徴とする。

【0082】また好ましくは、ビット線及び相補ビット線のパルス駆動は、全てのビット線及び相補ビット線に対して一斉に行われることを特徴とする。

【0083】また好ましくは、ビット線及び相補ビット線のパルス駆動は、全てのビット線又は相補ビット線のいずれかに対して一斉に行われることを特徴とする。

【0084】また本発明のFRAMは、少なくとも1つの強誘電体膜を有するキャパシタと、前記メモリセルキャパシタの一方の電極に一方の電流端子が接続された第1のスイッチと、前記メモリセルキャパシタの他方の電極に一方の電流端子が接続された第2のスイッチと、前記第1のスイッチの他方の電流端子に接続されたビット線と、前記第2のスイッチの他方の電流端子に接続された相補ビット線と、前記第1及び第2のスイッチをオン／オフ制御するゲート端子に共通に接続されたワード線からなるメモリセルと、前記ビット線と相補ビット線に読み出されたデータを比較増幅するセンスアンプと、前記第1のビット線を駆動するビット線ドライバと、前記第2のビット線を駆動する相補ビット線ドライバと、前記メモリセル領域の前記ビット線と前記センスアンプ領域の前記ビット線との間の選択的な接続と切り離しを行う第3のスイッチと、前記メモリセル領域の前記相補ビット線と前記センスアンプ領域の前記相補ビット線との間の選択的な接続と切り離しを行う第4のスイッチと、前記第3、第4のスイッチをオン／オフ制御する制御線と、前記ビット線と相補ビット線とをイコライズするイコライズ回路とからなる第1のカラムと、少なくとも前記第1のカラムに隣接し前記第1のカラムと同一の回路構成を有する第2のカラムとを備え、前記ワード線をオンした（高レベルとした）状態で、第1のカラムのメモリセルに対し、前記第1のカラムから前記第2のカラムに向かう分極を書き込み、前記第2のカラムの第1のカラムに隣接するビット線を少なくとも1回パルス駆動した後、通常の読み出し動作を行うテストモードを具備することを特徴とする。

【0085】また本発明のFRAMは、前記第1のカラムが奇数番のカラムに割り当てられ、前記第2のカラムが偶数番のカラムに割り当てられ、メモリセルアレイの一部又は全部が同時にテストされることを特徴とする。

【0086】好ましくは前記第2のカラムの前記第1のカラムに隣接するビット線をパルス駆動する回数を場所により変化することを特徴とする。

【0087】また好ましくは、前記第2のカラムの前記第1のカラムに隣接するビット線をパルス駆動する回数を、隣りのカラムに移るごとに1回ずつ増加することを特徴とする。

【0088】また好ましくは、前記テストモード動作

は、ビット線及び相補ビット線を0Vにする回路から最も遠いワード線においてのみなされることを特徴とする。

【0089】また好ましくは、前記ビット線又は相補ビット線のパルス駆動は、複数回連続して行われ、前記パルス駆動電圧は、0Vと前記FRAMの電源電圧以上の電圧との間であることを特徴とする。

【0090】上記のように極めて簡易なテスト回路とテストモードをFRAMのチップ上に備えることにより、開発されたFRAMの回路構成上の問題点や、仕様上の問題点を早期に把握し、有効な対策を施すことができる。

【0091】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0092】図1は本発明の第1の実施の形態に係るFRAMの回路構成を示す図である。FRAM本体のセルアレイ構成は、前述の1998 VLSI Symposiumで発表された1T-1C型1メガビットFRAMと同様のものを用いる。本実施の形態のFRAMは2T-2C型のセル構造を採用するためメモリサイズは512キロビットとなる。

【0093】図1に示す第1の実施の形態のFRAMの主要部は、NMOS1と強誘電体キャパシタ2からなる2個のメモリセルが、BLj及び/BLjからなる1対のビット線と2本のワード線WLjと2本のプレート線PLjに接続されたマトリックス状のメモリセル領域と、イコライズ信号VEQにより1対のビット線を接地するNMOS3からなるイコライザ回路と、PMOS4とNMOS5及び信号電圧V/SAP、VSANからなるセンスアンプ活性化部と、PMOS6とNMOS7からなるセンスアンプと、NMOS8とカラムセレクト線CSLjからなるDQゲートと、DQ線対から構成される。なお、SNij、/SNijは強誘電体キャパシタ2の蓄積ノード(上部電極)である。

【0094】このほか周辺回路として、カラムデコーダ9と、ロウデコーダ10と、プレートドライバ11が含まれる。また、第1の実施の形態のFRAMは、テストパッド12と、カウンタ13と、2個のORゲート14、15からなるテスト回路をチップ上に備えている。このテスト回路によりテストパッド12に加えられたテスト信号がカウンタ1に入力し、カウンタ1の出力が2本のワード線WLjに入力される。

【0095】本第1の実施の形態では、上記VLSI Symp.で発表されたようなプレート線PLjを2本のロウ(2本のワード線WLj)で共有するセル構成を用いなかったが、このセル構成を用いても、同様に第1の実施の形態のテスト回路を用いることができる。

【0096】以下図2のタイミングチャートを参照して本発明のテスト回路の動作を具体的に説明する。

【0097】(1)図2に示すテストモードの開始に先立って、後に読み出す所望のデータパターンをメモリセルに書き込む。例えばオール“1”をテストするのであれば、ビット線BLj側の全メモリセルのセルキャパシタにはビット線BLjからプレート線PLjに向かう分極Pを、相補ビット線/BLj側の全メモリセル(ダミー側)にはその逆方向の分極Pを書き込む。

(2)テストモードにエントリするために、図2に示すようにテスト信号TESTを入力し、テストパッド12を高レベル(以下高レベルを“H”、低レベルを“L”と書く)とする。

(3)テストモード動作の開始の際、イコライズ信号VEQを全て“H”とし、ビット線対BLj、/BLjはイコライズされ“L”(0V)になっている。またワード線WLjとプレート線PLjは“L”(0V)に固定されている。

(4)図2に示すように、前記テスト信号TESTの立上がりでカウンタ13が起動し、その出力はワード線昇圧回路(図示せず)に入力され、全ワード線WLjが通常の読み出し電圧VPPと0Vとの間で一斉に連続的にオン/オフされる。消費電力の問題で全ワード線を一斉にオン/オフするのが困難であれば分割して行ってもよい。この間プレート線PLjは“L”に固定されたままである。

【0098】上記のテストモード期間に、カウンタによって複数回(例えば103~104回)連続的に2本のワード線WLjがパルス駆動される。本実施の形態のFRAMはワード線2本を駆動する2T-2C型であるため、このとき、図1に示すセルキャパシタの蓄積ノードSNijと/SNijの両方に、図2に小さく矢示したようなカップリングによるディスターブが現れる。

【0099】図1に示すように、ビット線BLj側のメモリセルにはビット線からプレート線に向かう分極Pを、相補ビット線/BLj側のメモリセルにはその逆方向の分極Pが書き込まれているため、図2の下部に示すように、BLjと/BLjとの間にカップリングによる電位の上がり方と下がり方の大きさに差が出ている。すなわち、BLjでは、上がる電位>下がる電位、となっているが、/BLjでは分極の向きが逆であるため、上がる電位<下がる電位、となっている。

【0100】先に図2を用いて説明したように、このように微小なパルス状の電位差が、繰り返しFRAMのセルキャパシタに加えられることにより、前記(1)項でセルキャパシタに書き込まれた分極量が減少する。したがって、図2のテストモードに引き続き行われる読み出しモードにおいて、当初書き込まれたテストパターンの変化を読みだせば、本実施の形態のFRAMに生じるディスターブの大きさを評価することができる。

【0101】FRAMの記憶データを読み出す実際の読み出し動作では、ワード線を選択してセンスアンプによ

る増幅を行い、読み出しデータをDQ(Data Quest)線対に送り出した後、再度ビット線対をイコライズする。

【0102】しかし、前記テストモードに引き続き行われる読み出しモードでは、ワード線を複数回、連続的にオン／オフさせて、FRAMセルに書き込まれた分極のカップリングによる変化を求めるだけであるから、ワード線のパルス駆動のたびごとに、書き込みデータをチップ外部に読み出す必要はない。したがって、複数回のパルス駆動を終了した後に、通常の読み出し動作を行えばよいので、高速なテスト動作が可能になる。

【0103】次に図2の後半に示す読み出しモードについて説明する。テストモードに引き続き行われる読み出しモードは、通常の読み出し動作と同様である。

(5) VEQを“L”として、イコライザを解除し、入力されたロウアドレスをデコードして/RAS信号により選択的にワード線WL_iを立ち上げ、続いてプレート線PL_iを0V-V_{cc}-0Vとパルス駆動する。

(6) 次にビット線BL_j、相補ビット線/BL_jに読みだされた記憶データをセンスアンプで比較増幅する。

(7) センス動作によって、読み出しデータの“H”又は“L”が確定した後に、プレート線PL_iを再びパルス駆動することによってセルキャパシタに分極電荷を再書き込みする。

(8) 以上の動作が終了した後ワード線WL_iを立ち下げ、センスアンプを不活性にし、再度ビット線対をイコライズして読み出しモードを終了する。次にフェイルマップを作成し、フェイルの分布等を調べることによりディスターブの影響の評価を終了する。

【0104】次に図3、図4に基づき本発明の第2の実施の形態のFRAMについて説明する。第2の実施の形態においても、先に図17で説明したフロアプランを用いる。図3に、第2の実施の形態のFRAMについて、回路構成の主要部を示す。以下図4のタイミングチャートを参照して、第2の実施の形態におけるFRAMの具体的な動作について説明する。

【0105】第1の実施の形態では、2T-2C型FRAMについてのべたが、ここでは1T-1C型FRAMについて説明する。図3に示すように、参考電位発生用のNMOS1aとダミーキャパシタ2aからなるダミーセルと、ダミーワード線WL0、WL1と、ダミープレート線DPLと、ダミーワード線ドライバ10aと、ダミープレートドライバ11aが付加されている。なお、第2の実施の形態では、プレート線が2つのロウで共有される方式を用いなかつたが、共有される方式を用いても同様に動作することができる。

【0106】(1) 図4に示すテストモードの開始に先立つて、例えばオール“0”データすなわちプレート線からビット線に向かう分極を全メモリセルに書き込む。

(2) テストモードにエントリするため、図4に示すようにテスト信号TESTを入力し、テストパッド12

を“H”とする。

(3) テストモード動作の開始に当たり、イコライザ信号VEQをすべて“H”とし、ビット線対BL_j、/BL_j間はイコライズされている。また、ワード線WL_iとプレート線PL_iは“L”(0V)に固定されている。

(4) 次にプレート線は“L”に固定したまま、前記テスト信号TESTによりカウンタ13を起動し、全ワード線を複数回(例えは103～104)0VとVPPの間で一斉に連続的にパルス駆動する。消費電力の問題で全ワード線を一斉にオン／オフするのが困難であれば分割して行ってもよい。

(5) 引き続き前記ディスターブ後の読み出しモードに移る。読み出しモードの動作は、1T-1C型FRAMの通常の読み出し動作と同様である。すなわち、VEQを“L”としてイコライザを解除し、入力されたロウアドレスをデコードして/RAS信号により選択的にワード線WL_iを立ち上げ、続いてプレート線PL_iを0V-V_{cc}-0Vとパルス駆動する。またダミープレート線DPLは0V-V_{cc}に昇圧する。1T-1C型FRAMにおいては、ダミープレート線DPLを用いてダミーキャパシタ2aを駆動することにより/SNij側に参照電位が発生する。

(6) 次にV/SAP及びVSANでセンスアンプを活性化し、BL_j側に読み出された書き込みデータと、/BL_j側の参照電位とを比較増幅する。その後ダミープレート線DPLをさげる。

(7) センス動作によって読み出しデータと参照電位の“H”と“L”が確定した後、プレート線を再びパルス駆動することによってメモリセルに分極電荷を再書き込みする。

(8) 以上の動作が終了した後、ワード線を立ち下げ、センス増幅を終了し、再度ビット線対をイコライズすることで読み出しモードを終了する。

【0107】前記(5)項の過程で、ダミープレート線DPLを通じてダミーキャパシタ2aを駆動することにより参考電位を発生させるのであるが、この時ダミープレート線DPLを駆動する電位を種々に変化することにより参考電位を変化することができる。

【0108】1つの参考電位で上記のテスト動作を行った後、ダミープレート線を駆動する電位を変えて同様なテスト動作を繰り返せば、セルキャパシタに書き込まれた分極電荷のワード線を複数回駆動する前後における変化量を、実際に測定することができる。

【0109】次に、本発明の第3の実施の形態について説明する。第3の実施の形態は、第2の実施の形態の変形例であり、特に参考電位を変化させることにより、ワード線を複数回駆動する前後におけるFRAMのセルキャパシタに書き込まれた分極電荷の変化量をテストする場合に、テスト時間を短縮を図るものである。

【0110】先にのべた第1、第2の実施の形態では、

全メモリセルへのテストパターンの書き込みを行った後に、イコライザ回路からもっとも遠いワード線を介してテスト用のカウンタからパルス信号を入力することにより、FRAMセルにディスターブを与えてフェイルマップを作成し、強誘電体キャパシタに乗るディスターブを評価した。したがってこの評価を実施するためには、全メモリセルへのテストパターンの書き込みと読み出しを行う必要があった。

【0111】また、第1、第2の実施の形態では、FRAMのディスターブに対する良否判定がフェイルマップによりなされるために、分極電荷の変化量が一定のしきい値の範囲内で生じた場合にはその変化が見過ごされるという欠点があった。

【0112】第2の実施の形態の説明において、最後にのべた参照電位を変化させる方法を用いれば、分極電荷の変化量を実際に測定することができるので、前記の欠点を除去することができる。しかし、参照電位を変化しつつ繰り返し分極電荷の変化量を測定するには長時間を要する。

【0113】第3の実施の形態では、ビット線対を0V²⁰にするイコライザ回路から一番遠い所にあるロウ（ワード線に連なるメモリセル）のみで試験を行うことにより、テスト時間の短縮を図った。次に、ダミーセルを備える1T-1C型FRAMを例として、第3の実施の形態のテストモードの動作を具体的に説明する。

【0114】(1) テストモード動作の開始に先立って、例えば“0”データすなわちプレート線からビット線に向かう分極を、イコライザ回路からもっとも遠い1本のワード線に連なるメモリセルにのみ書きむ。

(2) テストモードにエントリするためにテスト信号を³⁰入力し、テストパッドを“H”とする。

(3) テストモード動作の開始に当たり、ビット線対はイコライズされ、また、ワード線とプレート線は0Vに固定されている。

(4) プレート線を0Vに固定したまま、テスト信号によりカウンタを起動し、イコライザ回路から1番遠い前記1本のワード線を複数回（例えば103～104）連続的に0VとVPPとの間でパルス駆動する。

(5) 次に読み出しモード動作に移り、前記1本のワード線を再び立ち上げ、続いてプレート線及びダミープレート線も0V-V_{cc}-0Vとパルス駆動する。1T-1C型FRAMの動作においては、このダミープレート線を通じたダミーキャパシタの駆動により相補ビット線/B_{Lj}側に参照電位が output する。

(6) 次にセンスアンプを活性化し、ビット線に読み出された書き込みデータと相補ビット線の参照電位を比較增幅するセンス動作を行う。

(7) センス動作によって読み出しデータと参照電位の“H”と“L”が確定した後、プレート線を再びパルス駆動することによってメモリセルに分極電荷を再書き込⁵⁰みする。

(8) 以上の動作が終了した後、ワード線WL_iを立ち下げ、センス動作を終了し、再度ビット線対をイコライズして読み出しモードを終了する。

【0115】ここで、ダミープレート線を通じてダミーキャパシタを駆動することにより参照電位を発生させるのであるが、この時ダミープレート線を駆動する電位を種々に変化させることにより参照電位を変化することができる。

【0116】1つの参照電位で上記のテストモード動作を行った後、ダミープレート線を駆動する電位を変えて同様なテストモード動作を繰り返せば、ワード線を複数回駆動した前後でセルキャパシタの分極電荷量が実際に減ったか否かを測定することができる。参照電位を少しづつ変化させ、そのたびごとにテストを繰り返す場合、この一本のロウのみでテストを行うことによりテスト時間の短縮を図ることができる。

【0117】次に本発明の第4の実施の形態について説明する。第4の実施の形態は第1ないし第3の実施の形態の変形例である。前記第1ないし第3の実施の形態では、テストモード動作におけるワード線の昇圧電位は、通常の読み出し電位VPPがそのまま用いられたが、FRAMの読み出し動作マージンを見込む場合には、これよりも高い電位でテストすることが考えられる。

【0118】第4の実施の形態では、カウンタによりイコライザ回路からもっとも遠いワード線を複数回連続的にパルス駆動する場合、通常の読み出し電位VPPよりも高い例えば5.5Vと0Vとの間で前記ワード線をパルス駆動し、ビット線へのディスターブ量を増加させることができる。

【0119】第4の実施の形態におけるその他のテストモード動作、及び読み出しモード動作は、前記第1ないし第3の実施の形態と同様であるため説明を省略する。なお、第4の実施の形態では、先に第3の実施の形態で説明した参照電位を少しづつ変化して、分極電荷のディスターブによる変化を測定する方法に加えて、ダミープレート線を駆動する電位を固定し、ワード線を昇圧する電位VPPを変化させ、強誘電体キャパシタにかかるディスターブを増加させることができる。このとき、第3の実施の形態で説明した1本のロウのみでテストを行えば、テスト時間の短縮が図られることはいうまでもない。

【0120】次に、図5に基づき本発明の第5の実施の形態について説明する。図5に第5の実施の形態における主要部の回路構成を示す。図1及び図3との相違は、プレート線PL_iが2個のロウで共有されている点である。テスト回路としてテストパッド12からテスト信号TESTを入力し、これを受けたカウンタ13の出力がORゲート14を介してプレート線駆動回路（図示せず）に入力される。図6のタイミングチャートを参照し

て、第5の実施の形態におけるFRAMのテストモード動作について、具体的に説明する。

【0121】(1)動作の開始に先立ち、後に読み出す所望のテストパターンをメモリセルに書き込む。例えばオール“1”を読み出すのであれば、ビット線BLj側の全メモリセルにはビット線からプレート線に向かう分極を、相補ビット線/BLj側の全メモリセルにはその逆を書き込む。

(2)テストモードにエントリするために、テスト信号TESTを入力しテストパッドを“H”とする。

(3)テストモード動作の開始に当たっては、VEQによりビット線対BLj、/BLjの間はイコライズされている。ワード線WLiとプレート線PLiは0Vに固定されている。

(4)前記テスト信号TESTはカウンタ13に入力され、これを受けたカウンタ13の出力がORゲート14を介してプレート線駆動回路(図示せず)に入力され、プレート線PLiが連続的にパルス駆動される。次にワード線WLiは0Vに固定したまま、イコライザ回路からもっとも遠いロウの1本のプレート線を、前記カウンタにより複数回(例えば103～104)連続的に0VとVccの間でパルス駆動する。

【0122】ここで注意すべきことは、駆動しているプレート線電位と、これに伴い昇圧される上部電極の電位との間に、図21(b)で述べたような電位差が発生することである。この電位差が繰り返し加わることにより、図22のヒステリシス曲線に示すようなセルキャパシタの分極の減少を生じる。

【0123】(5)引き続き通常の読み出しモードに移行する。入力されたロウアドレスをデコードして選択的にワード線WLiを立ち上げ、続いてプレート線PLiを0V-Vcc-0Vとパルス駆動する。ダミーセル側でも同様な動作が行われる。

(6)次にセンス動作をする。

(7)センス動作によって“H”と“L”が確定した後、プレート線PLiを再びパルス駆動することによってメモリセルに分極電荷を再書き込みする。

(8)動作終了後ワード線を立ち下げ、センス増幅を終了し、再度ビット線対をイコライズすることで読み出しモードを終了する。フェイルマップを作成し、フェイル分布等を調べる。

【0124】次に図7、図8に基づき本発明の第6の実施の形態について説明する。図7に第6の実施の形態におけるFRAMの主要部の回路構成を示す。第6の実施の形態では、第1の実施の形態と同様、512キロビットの2T-2C型FRAMを対象としてテストモードを説明する。

【0125】第1の実施の形態では、テストパッドに入力されたテスト信号を受けたカウンタの出力が、ワード線昇圧回路に入力される場合について説明したが、本第

6の実施の形態では、前記カウンタの出力がビット線ドライバに入力され、ビット線とFRAMセルキャパシタの上部電極とのカップリングによるディスターべをテストすることが前記第1の実施の形態と異なる。以下図8に示すタイミングチャートを参照して第6の実施の形態のテストモードについて具体的に説明する。

【0126】(1)動作の開始に先立って、後に読み出す所望のテストパターンが書き込まれる。本実施の形態で問題となるのは、ビット線が正電位側に振れた場合に、FRAMキャパシタの上部電極に誘起するカップリングによるディスターべであるから、注目する分極の向きは下部電極(プレート線)から上部電極(ビット線)の方向、すなわちデータ“0”である。

【0127】ここではオール“0”的テストをする場合を考える。ビット線BLj(図7にはj=0、1の部分が示されている)側の全メモリセルにはプレート線PLjからビット線BLjに向かう分極が、相補ビット線/BLj側の全メモリセルにはその逆が書き込まれる。このビット線BLj側にのみ正のパルスを連続的に加える。

【0128】また、例えばオール“1”をテストするのであれば、相補ビット線/BLj側の全メモリセルにはプレート線PLjから相補ビット線/BLjに向かう分極が、ビット線BLj側の全メモリセルにはその逆が書き込まれる。この場合には相補ビット線/BLj側にのみ正のパルスを連続的に加える。以下オール“0”をテストする場合についてのみ説明するが、オール“1”をテストする場合には、ビット線BLjを相補ビット線/BLjに置き換えるべきである。

【0129】(2)テストモード動作の開始に当たり、イコライズ信号VEQは全てオンのままで、ビット線対BLj、/BLjの間はイコライズされている。又ワード線WL0とプレート線PL0(以下イコライザからもっとも遠いワード線WLiとプレート線PLiをWL0、PL0と書く)も0Vに固定されている。

(3)テストモードにエントリするために0番のテストパッド(以下テストパッド0等と呼ぶ)に高レベル“H”を入力する。このテスト信号とカウンタ13からの信号とがAND回路15aを介してビット線ドライバ16に入力され、ワード線WL0とプレート線PL0は0Vに固定したまま、ビット線BLj側のみが全て複数回、例えば103～104回、連続的に0VとVcc(電源電圧)との間でパルス駆動される。

【0130】テストパッド1を選択した場合には、相補ビット線/BLj側のみが全て複数回、例えば103～104回連続的に0VとVccとの間でパルス駆動される。先に述べたように、テストモード動作では、実際の読み出し動作とは異なり、ビット線対のパルス駆動のたびごとに書き込みデータをチップ外部に読み出す必要はなく、強誘電体キャパシタの分極の両端に複数回のカッ

プリングによる電位差が加えられた効果を知ればよいので、ビット線対を複数回パルス駆動した後に通常の読み出し動作を行えば、高速にテストを行うことができる。

【0131】(4) 引き続き通常の2T-2C型での読み出しモードに移行する。入力されたロウアドレスをコードして選択的にワード線WL_iを立ち上げ、続いてプレート線PL_iを0V-V_{cc}-0Vとパルス駆動する。

(5) 次にセンス動作をする。

(6) センス動作によって高レベル“H”と低レベル“L”が確定した後、プレート線を再びパルス駆動することによりメモリセルに分極電荷を再書き込みする。

(7) 以上の動作が終了した後、ワード線を下降させ、センス増幅を終わり、再度ビット線対をイコライズすることでサイクルを終了する。フェイルマップを作成し、フェイルの分布等を調べる。

【0132】次に、図9、図10に基づき本発明の第7の実施の形態について説明する。図9に第7の実施の形態におけるFRAMの主要部の回路構成を示す。本実施の形態では、1メガビット1T-1C型FRAMを例として、テストパッド12から入力されたテスト信号TESTとカウンタ13の出力が、AND回路15aを介してビット線ドライバ16に入力するテスト回路のテストモード動作について、図10のタイミングチャートを参照しながら具体的に説明する。

【0133】(1)動作の開始に先立ち、後に読み出す所望のテストパターンをメモリセルに書き込む。第6の実施の形態でのべた2T-2C型FRAMでは、ビット線BL_j側と相補ビット線/BL_j側には反対方向の分極Pを書き込まなければならなかったが、本実施の形態の1T-1C型FRAMでは、分極Pの向きは各セルで独立に定めることができる。ここで問題となるのは、ビット線が正電位の側に振れた時カップリングにより上部電極に誘起するディスターブなので、注目する分極Pの向きは下部電極(プレート線)から上部電極(ビット線)方向である。したがって、全メモリセルにはオール“0”、すなわちプレート線からビット線に向かう分極Pが書き込まれる。

(2) テストモードの開始に当たり、VEQは全てオンしたままでビット線対はイコライズされている。ワード線とプレート線も0Vに固定されている。

(3) テストモードにエントリするために、テスト信号TESTを“H”とし、テスト信号TESTとカウンタの出力とがAND回路15aを介してビット線ドライバ16に入力され、全てのビット線BL_j及び相補ビット線/BL_jが複数回、例えば103～104回、連続的に0VとV_{cc}との間でパルス駆動される。

【0134】パルス駆動のカップリングによる書き込みデータの変化は、先にのべたようにビット線対を連続的に複数回パルス駆動した後、通常の読み出し動作を行え

ばテストを高速に行うことができる。

【0135】読み出しモードは、先に説明した図8のタイミングチャートと同様に行われるため説明を省略する。読み出し動作を終了した後、当初メモリセルに書き込まれたテストデータパターンのフェイルマップを作成し評価する。

【0136】次に図11、図12に基づき本発明の第8の実施の形態について説明する。図11に、第8の実施の形態に係る2T-1C型FRAMの主要部の回路構成を示す。第8の実施の形態では第6、第7の実施の形態と同様、ビット線対を比較増幅する際に、隣り合うビット線と相補ビット線とのカップリングにより、非選択セルに誘起するディスターブによる分極Pの減少を高速に評価するテストモードを提供する。

【0137】後にのべる第9の実施の形態と異なる点は、本実施の形態ではカラムの部分的な活性化は行われないという点である。すなわち、1本のワード線をオンした場合、それに連なるセルが接続されるカラムは全て活性化され、センス増幅の後にセルデータが再書き込みされる。

【0138】ここで問題となるのは、ビット線に正電位側の振れを加えた時にカップリングにより強誘電体キャパシタの上部電極に誘起するディスターブであるから、これを高速にテストするテストモードについて説明する。

【0139】テストモードの動作を開始する前に、上記ディスターブを評価するため、テストパターンとしてあらかじめビット線対の強誘電体キャパシタに分極Pを書き込むための、書き込み動作について説明する。なお、図12において、書き込み動作の詳細なタイミングチャートは記載されていない。

【0140】(1)書き込み動作の開始に当たり、全てのワード線WL_jは“L”(0V)になっており、ビット線対は全て0Vにイコライズされている。/RASは“H”固定、/CASは“L”固定となっており、ロウとカラムには共にアドレスは入力されない。

(2) 次にイコライズを解除し、全てのワード線をオンし、ビット線ドライバ16を通じてビット線対に“H”と“L”を書き込む準備を行う。

(3) 次に、ビット線ドライバ16を通じて全てのカラムに対し、図11に示すように、相補ビット線/BL_j側からビット線BL_j側に向いた分極Pを書き込む。

(4) 次に、全てのビット線対をイコライズして0Vに引き下げ、全ワード線をオフする。

【0141】以上の動作で、テストモードに移る前に、テストパターンとして全てのカラムへの/BL_jからBL_jに向いた分極Pの書き込みと、引き続き行われるテストモード動作に対する準備が終了する。テスト信号の入力により引き続きテストモード動作が開始される。

(5) 図12のタイミングチャートに示すように、テス

トパッド0にテスト信号TEST0が入力した後、続いて再度イコライズを解除し、ビット線BLj側のビット線ドライバ16によって全てのBLjに0V-Vcc-0Vのパルスを複数回、連続的に加える。

(6) 最後に通常の読み出しモードで、アドレス信号ADjを用いて1ビットづつ読み出せば、ディスターブの影響を評価することができる。

【0142】第8の実施の形態では、相補ビット線/BLj側からビット線BLj側に向いた分極Pを書き込み、BLj側に0V-Vcc-0Vのパルスを複数回連続的に加えたが、分極Pを逆方向に書き込み、図11に示すテストパッド1の側からテスト信号TEST1を加えることにより、/BLj側にパルスを複数回連続的に加えて同様なテストを実施することができる。

【0143】次に図13、図14に基づき、本発明の第9の実施の形態に係るFRAMについて説明する。第9の実施の形態における2T-1C型FRAMの主要部における回路構成を図13に示す。本実施の形態の回路構成は、基本的には図11に示す第8の実施の形態と同様であるが、ビット線を駆動するビット線ドライバ16と、ビット線対のイコライザ回路及びセンスアンプ活性化信号が、カラムアドレスとテストモード信号によって制御されることが第8の実施の形態と異なる。

【0144】次に図27において、従来の2T-1C型FRAMの発展形態として発明者により検討された低消費電力の2T-1C型FRAMの回路構成について説明したが、このとき低消費電力化は書き込み、読み出し動作をカラムごとに行い、センスアンプ等をカラムごとに活性化することによりなされた。

【0145】図13に示す第9の実施の形態は、この低消費電力FRAMで問題点とされた、隣り合うビット線と相補ビット線とのカップリングによる選択カラムと非選択カラムとの間に生じるディスターブの評価を高速に行うものである。

【0146】すなわち、低消費電力FRAMのテストモードにおいて、カラムアドレスによって選択されたカラムのみビット線対のイコライズが解除され、ドライバによって交互に駆動されセンス増幅が行われる。また、カラムセレクト線CSLもカラムアドレスをデコードした信号により選択され、データはDQ線対を通じてチップ外部に出力される。

【0147】これらの動作を実現するために、OR回路19aを用いてカラムアドレスCAjをテストアドレスTAjで制御し、その出力とビットドライブ信号BDjをAND回路19に入力してビットドライバ16を駆動し、さらにAND回路22でイコライザ回路を、AND回路26とAND回路28でセンスアンプを、AND回路30でDQゲートをそれぞれ制御する。なお、20ないし29のOR回路により、ロウ方向の制御信号と共に対応するテスト信号を入力し、さらに各カラムに属す

る回路要素の選択・制御を可能にしている。

【0148】先に図27において、低消費電力2T-1C型FRAMでビット線対の間のカップリングにより生じる選択カラムと非選択カラムとの間のディスターブをわかり易く説明するために、選択・非選択カラムとメモリセルの分極の方向を強調して描いたが、図13に示す第9の実施の形態の回路構成でも、この図を参照することができる。また図14には第9の実施の形態におけるFRAMのテストモード動作を示すタイミングチャートが示されている。次に、図13、図14を用いて本実施の形態の動作について説明する。

【0149】(1) 動作の開始に当たり、全てのワード線は0V、全てのビット線は0Vにイコライズされている。テスト信号TESTによりテストモードとしての動作が開始する。/RASは“H”固定、/CASは“L”固定となっており、ロウとカラムには共にアドレスは入力されない。テストアドレスTAjが入力され、カラムアドレスCAj(j:偶数)はテストモード動作の間“H”、CAj(j:奇数)は最初にデータをビット線対に書き込む時のみ“H”であるがその後“L”となり奇数カラムは非選択となる。

(2) テスト信号TESTが入力された後、イコライズEQjを解除し、全てのワード線WLjをオンし、ビット線ドライバ16のドライブ信号BDj、/BDjでビット線対に“H”と“L”を書き込む準備をする。

(3) 次に、ビット線のドライブ信号BDj、/BDjによって、全てのカラムに対しビット線BLj側に“0”を、相補ビット線/BLj側に“1”をテストパターンとして書き込む。

(4) 次に全てのビット線対をイコライザEQjによって0Vにする。

(5) 次に1カラムごとにイコライザEQj(j:偶数)をオフにする。

(6) 続いて/BDj(j:偶数)により相補ビット線/BLjに0V-Vcc-0Vのパルスを1回又は複数回加える。

(7) その後ワード線WLjをオフにし、全イコライズEQjをオンにし、テストモード動作を終了する。

(8) 最後に非選択カラムへの書き込みデータを通常の読み出しモードで1ビットごとに読み出し、カップリングによるディスターブで当初書き込まれたテストパターンが変化したか否かを評価する。

【0150】本実施の形態では奇数カラムを非選択として説明したが、通常は奇数カラムと偶数カラムを入れ替えて引き続き同様なテストモード動作を行い、全カラムのテストを終了する。また分極の向きを右から左としたが、左から右の方向に対しても同様なテストを行う。このとき選択カラムにおいて、相補ビット線/BLjは0V固定とし、ビット線BLjに0V-Vcc-0Vのパルスを加えればよい。

【0151】次に図15に基づき、本発明の第10の実施の形態について説明する。図15は図27に対応し、第10の実施の形態における2T-1C型FRAMのセルアレイの一部を示す。本実施の形態では、選択カラム／非選択カラム／選択カラムという3カラム1組みが並んで配置されている。

【0152】本実施の形態では、選択カラムでのパルス駆動の回数が左から1回、2回、3回…と異なるようにしている。このように、選択カラムにおけるビット線の駆動回数を変化させれば、駆動回数とディスターべによる誤動作との相関を同時に求めることができる。

【0153】上記の説明では偶数カラムを非選択としたが、通常、引き続き奇数カラムを非選択として同様な動作を行い、全カラムのテストを終了する。また、非選択カラムの分極の向きを右から左としたが、左から右の方向に対しても同様なテストを行う。このとき、選択カラムにおいて左側のビット線は0V固定とし、左側のビット線には0V-Vcc-0Vのパルスを加える。

【0154】次に図16に基づき、本発明の第11の実施の形態について説明する。図16は図27に対応し、第10の実施の形態における2T-1C型FRAMの回路の一部を示している。第6、第7の実施の形態等はセルアレイ全体に及ぶテストであったが、先に1T-1C型FRAMについてのべたようにこれを部分的に行うこともできる。図11は2T-1C型FRAMにおいて、イコライザ回路32からもっとも遠いロウのみを用いてテストを行う例である。

【0155】なお本発明は上記の実施の形態に限定されることはない。以上の実施の形態ではワード線、プレート線、またはビット線の電位を上昇した後、元の電位に戻すテストモード動作について説明したが、同様なテストモード動作は、半導体基板の電位を上昇した後、元の電位に戻すことにより同様に実施することができる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0156】

【発明の効果】上述したように本発明の強誘電体メモリのテストモードによれば、読み出し等の強誘電体メモリの動作時に、パルス又はステップ状に変化するワード線、ビット線、プレート線等の電圧変化が、これらの配線とメモリセルを構成する強誘電体キャパシタの電極との間の容量結合を介して、非選択の強誘電体キャパシタに書き込まれた分極を変化させるディスターべの大きさを高速に評価し、デバイス設計やデバイス仕様の設定にフィードバックすることができる。これらのディスターべは、必ずしも容量結合を介して直接高誘電体キャパシタの電極に誘起されるものばかりでなく、例えばビット線対の間の容量結合を介して非選択の強誘電体キャパシタに書き込まれた分極を変化させる場合もあるが、本発明の強誘電体メモリのテストモードによれば、キャパシ

10

30

30

40

50

タ電極との直接的カップリングによるディスターべ、又は配線間の容量結合を介してキャパシタ電極に加わるディスターべのいずれであっても、各種の回路構成の強誘電体メモリについて高速なディスターべの評価を行うことが可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図2】第1の実施の形態に係る強誘電体メモリのタイミング波形図。

【図3】第2の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図4】第2の実施の形態に係る強誘電体メモリのタイミング波形図。

【図5】第5の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図6】第5の実施の形態に係る強誘電体メモリのタイミング波形図。

【図7】第6の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図8】第6の実施の形態に係る強誘電体メモリのタイミング波形図。

【図9】第7の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図10】第7の実施の形態に係る強誘電体メモリのタイミング波形図。

【図11】第8の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図12】第7の実施の形態に係る強誘電体メモリのタイミング波形図。

【図13】第9の実施の形態に係る強誘電体メモリの回路構成を示す図。

【図14】第9の実施の形態に係る強誘電体メモリのタイミング波形図。

【図15】第10の実施の形態における1本のワード線に連なる強誘電体メモリのセル構造を示す図。

【図16】第11の実施の形態における1本のワード線に連なる強誘電体メモリのセル構造を示す図。

【図17】従来の1メガビット強誘電体メモリの構造を示す図であって、(a)はフロアプランを示す図。

(b)はメモリセルの回路構成を示す図。

【図18】従来の1メガビット強誘電体メモリの上面図。

【図19】従来の1メガビット強誘電体メモリの各部の断面図。

【図20】ワード線を駆動した時の主要ノードの波形を示す図であって、(a)はワード線の駆動電圧を示す図。(b)は強誘電体キャパシタの上部電極電位の拡大図。(c)はビット線電位の拡大図。

【図21】プレート線を駆動した時の主要ノードの波形

31

を示す図であって、(a)はプレート線の駆動電圧を示す図。(b)は強誘電体キャパシタの電極電位の拡大図。

【図22】強誘電体キャパシタの電極電位差と分極Pのヒステリシス特性を示す図。

【図23】従来の2T-1C型強誘電体メモリの回路構成を示す図。

【図24】従来の2T-1C型セルキャパシタの読み出しにおけるプレート線、ビット線間の電位差と分極Pの関係をヒステリシス特性上に示す図であって、(a)は“0”読み出しを示す図。(b)は“1”読み出しを示す図。

【図25】従来の2T-1C型強誘電体メモリの発展形態として検討された低消費電力の2T-1C型強誘電体メモリを示す図。

【図26】従来の2T-1C型強誘電体メモリのタイミング波形図。

【図27】従来の2T-1C型強誘電体メモリの回路構成において、選択、非選択カラムの分極Pの向きとビット線間のディスターべの関係を示す図。

【符号の説明】

1…メモリセルのNMOSトランジスタ

1 a…ダミーセルのNMOSトランジスタ

2…強誘電体キャパシタ

2 a…ダミーセルキャパシタ

3…イコライザ回路のNMOSトランジスタ

4…センスアンプ活性化用PMOSトランジスタ

5…センスアンプ活性化用NMOSトランジスタ

6…センスアンプのPMOSトランジスタ

7…センスアンプのNMOSトランジスタ

8…DQゲートNMOSトランジスタ

9…カラムデコーダ

10…ロウデコーダ

10 a…ダミーワード線ドライバ

* 1 1…プレートドライバ

1 1 a…ダミープレートドライバ

1 2…テストパッド

1 3…カウンタ

1 4、 1 5…OR回路

1 5 a…AND回路

1 6…ビット線ドライバ

1 7…分離用ゲートNMOSトランジスタ

1 8…センスアンプ

1 9…AND回路

1 9 a…OR回路

2 0、 2 1…OR回路

2 2…NAND回路

2 3～2 5…OR回路

2 6…NAND回路

2 7…OR回路

2 8…AND回路

2 9…OR回路

3 0…AND回路

3 1…ビット線ドライバ

3 2…イコライザ

5 0…メモリセルブロック

5 1…ビット線

5 2…ワード線

5 3…プレート線

5 4…強誘電体キャパシタ上部電極

5 5…ビット線／1A1・コンタクト

5 5 a…強誘電体膜

5 6…1A1／ドレイン・コンタクト

30 5 7…1A1／ソース・コンタクト

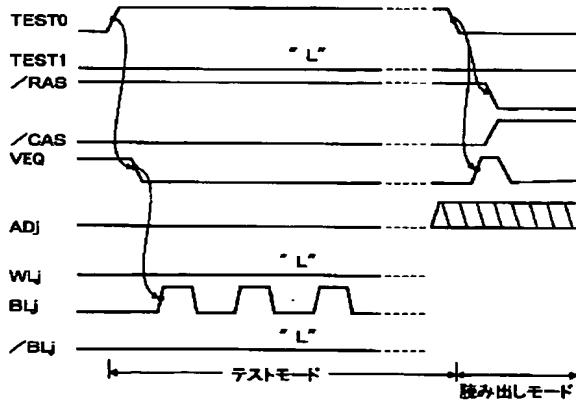
5 8…1A1／上部電極・コンタクト

5 9…シリコン基板

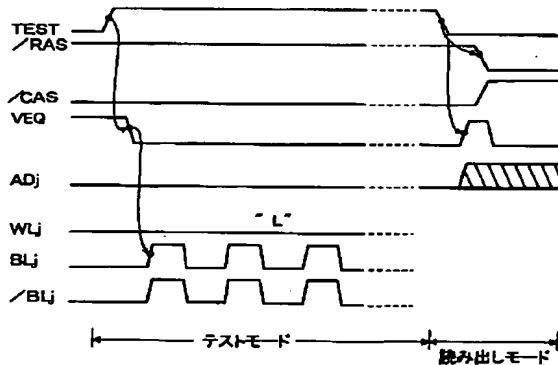
6 0…ソース／ドレイン拡散層

6 1…素子分離絶縁膜

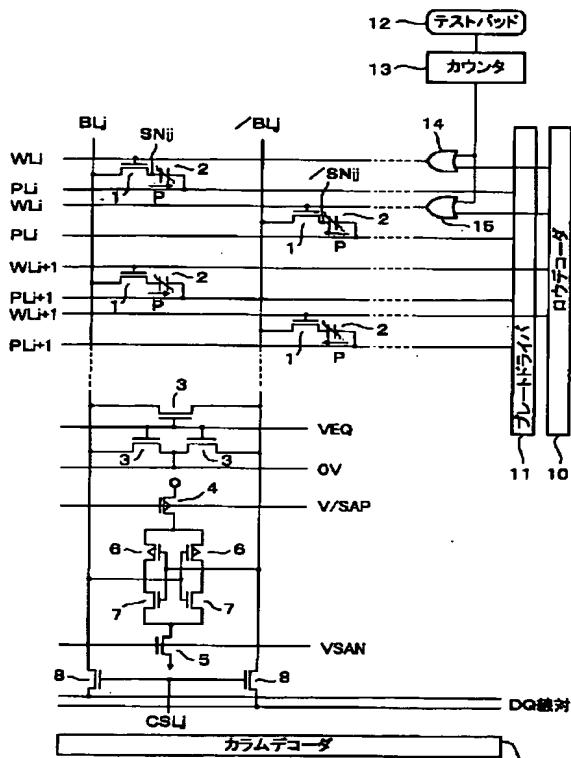
【図8】



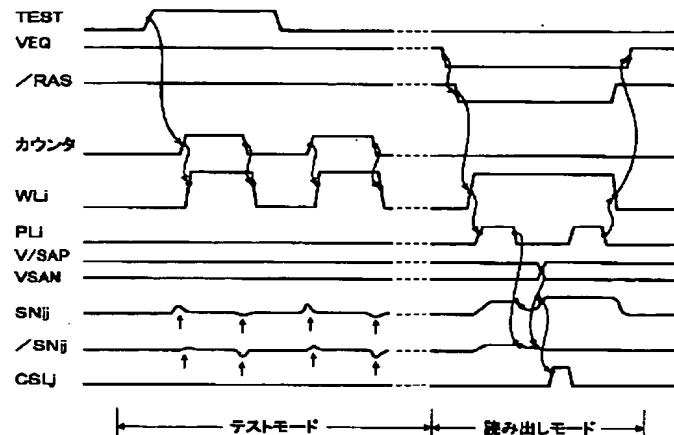
【図10】



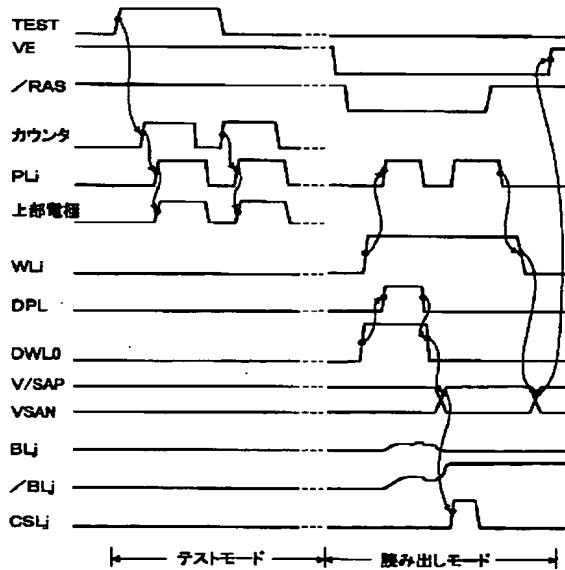
【図1】



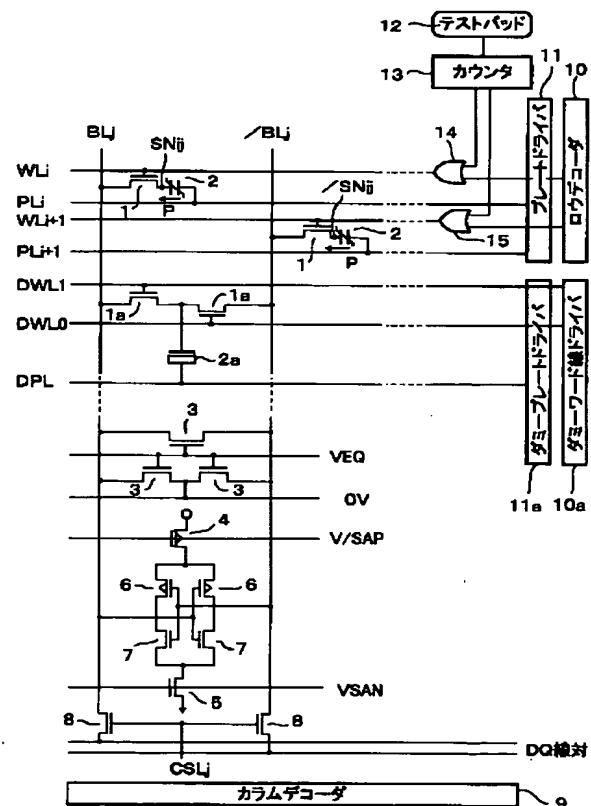
【図2】



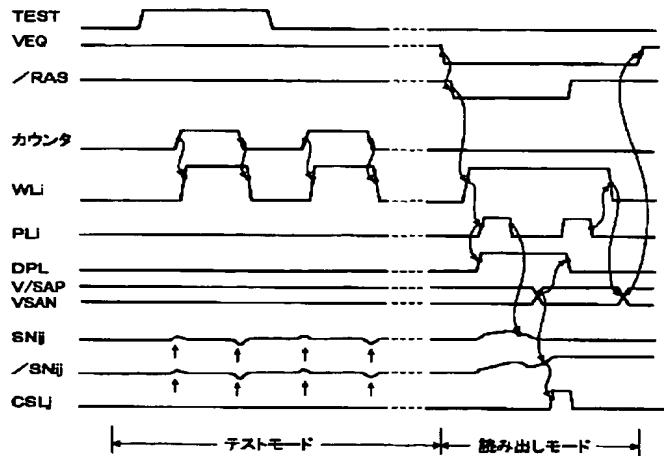
【図6】



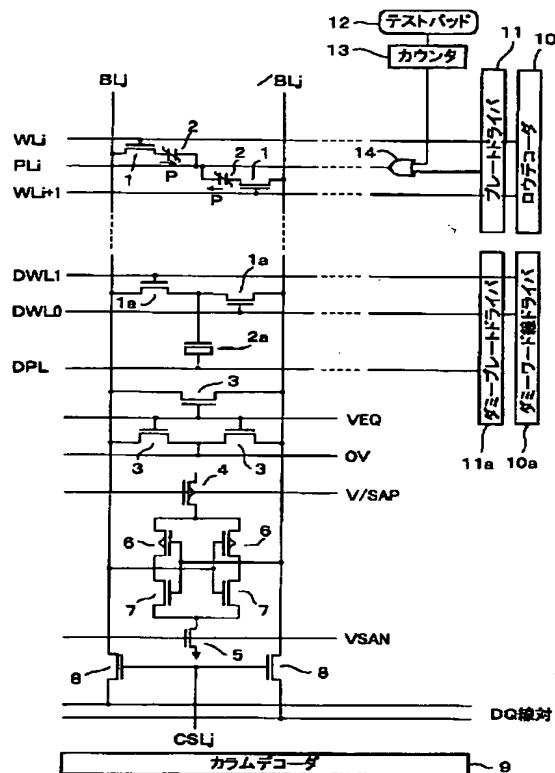
【図3】



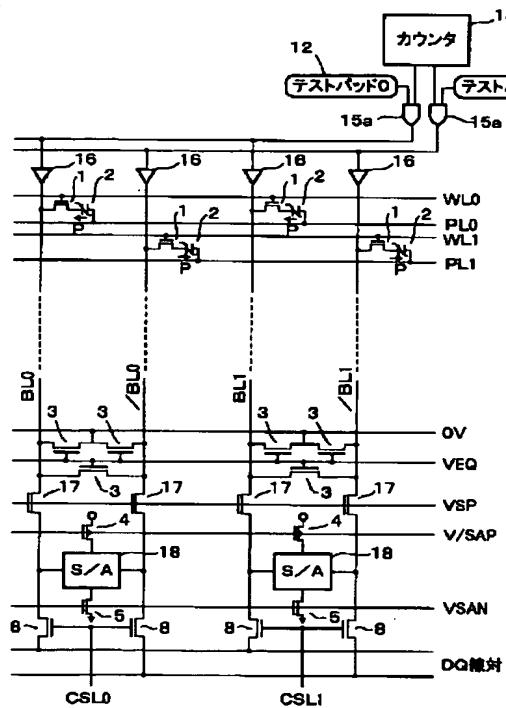
【図4】



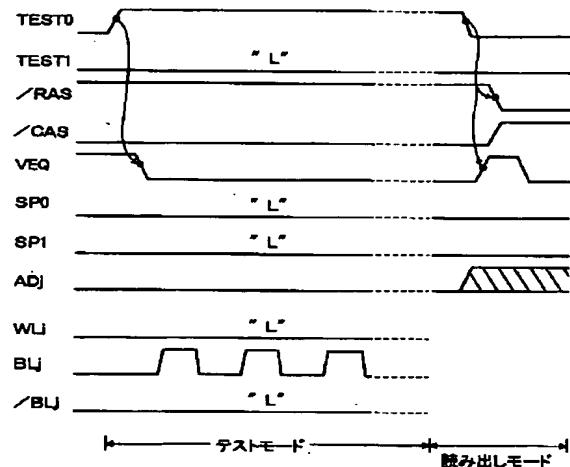
【図5】



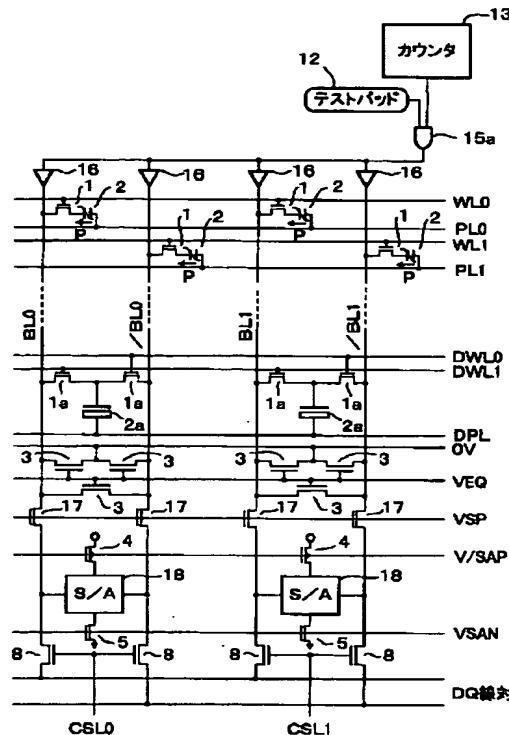
【図7】



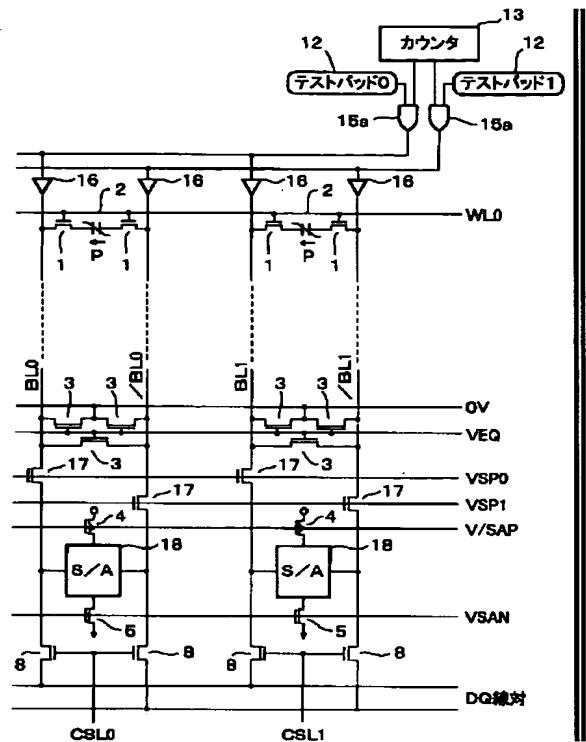
【図12】



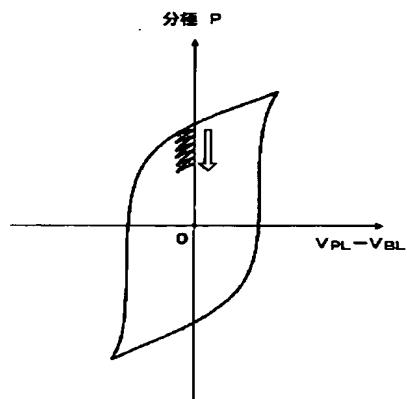
【図9】



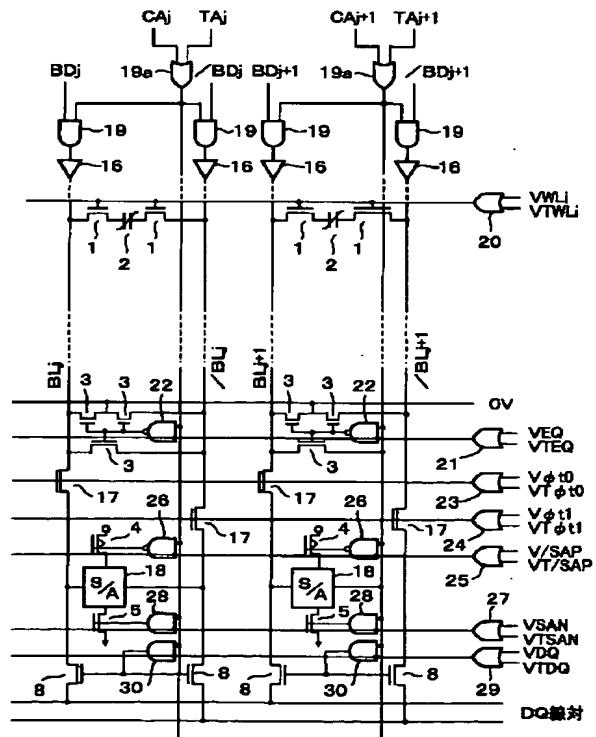
【図11】



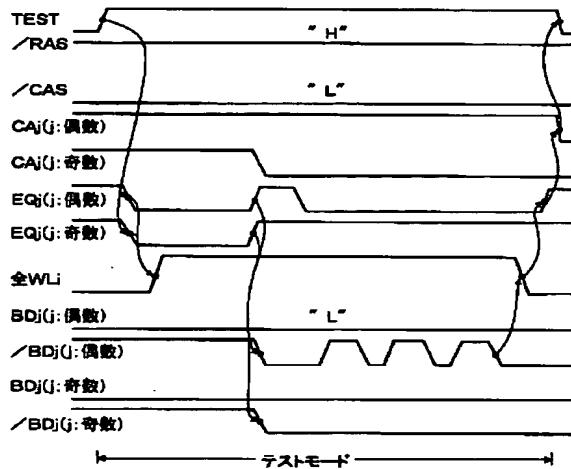
【図22】



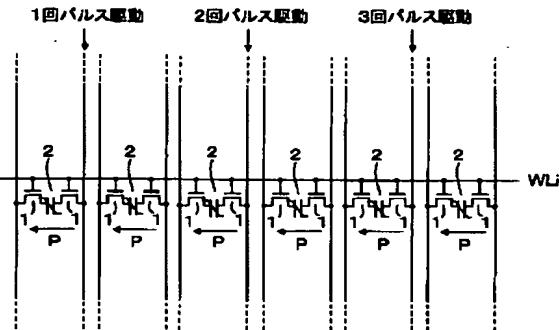
【図13】



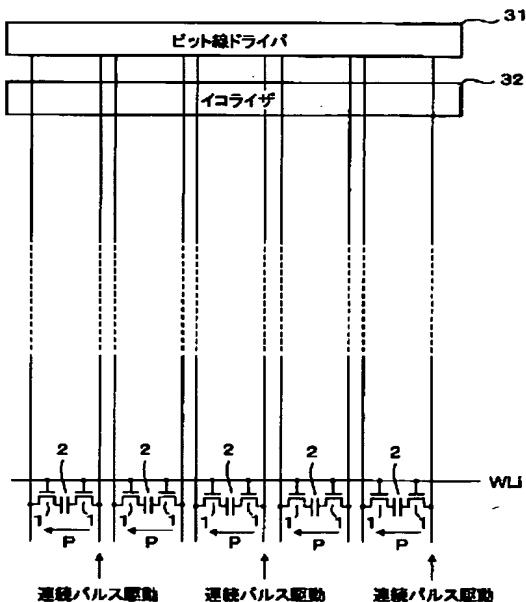
【図14】



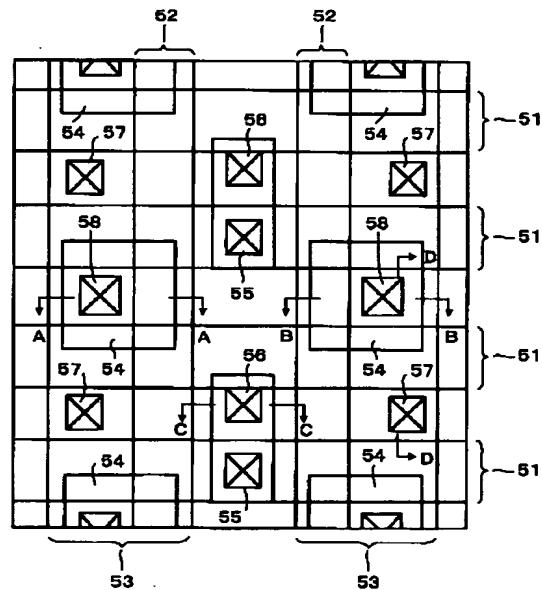
【図15】



【図16】

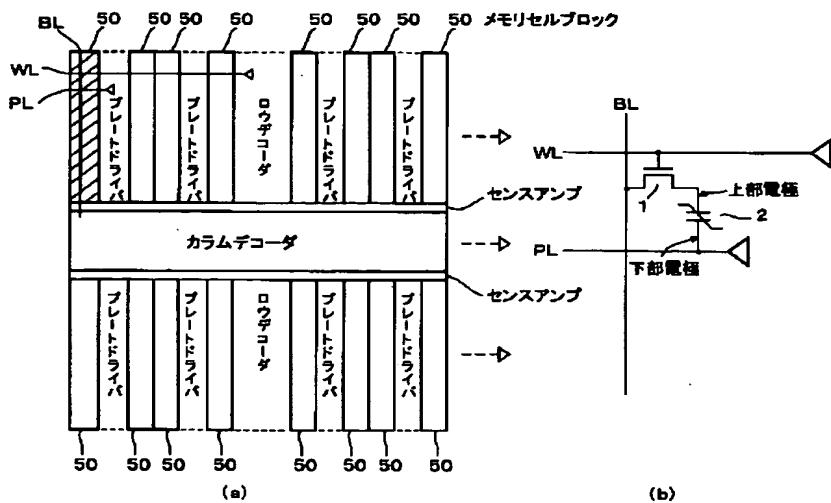


【図18】

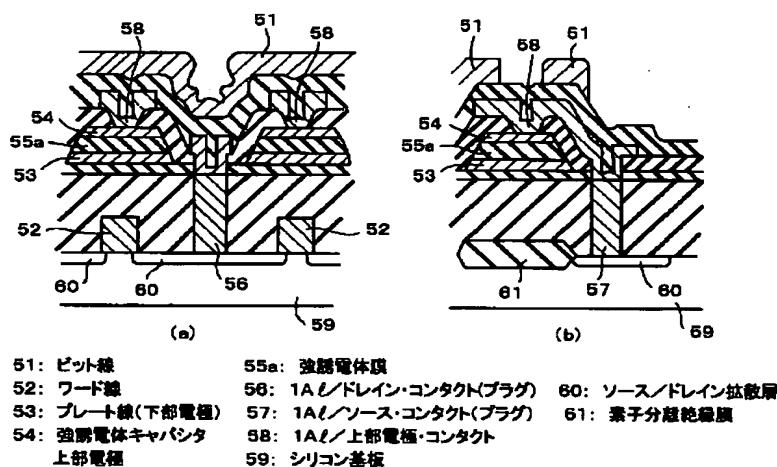


51: ビット線	55: ビット線／1Aとコンタクト
52: ワード線	56: 1A／ドレイン・コンタクト
53: プレート線(下部電極)	57: 1A／ソース・コンタクト
54: 強誘電体キャバシタ 上部電極	58: 1A／上部電極・コンタクト

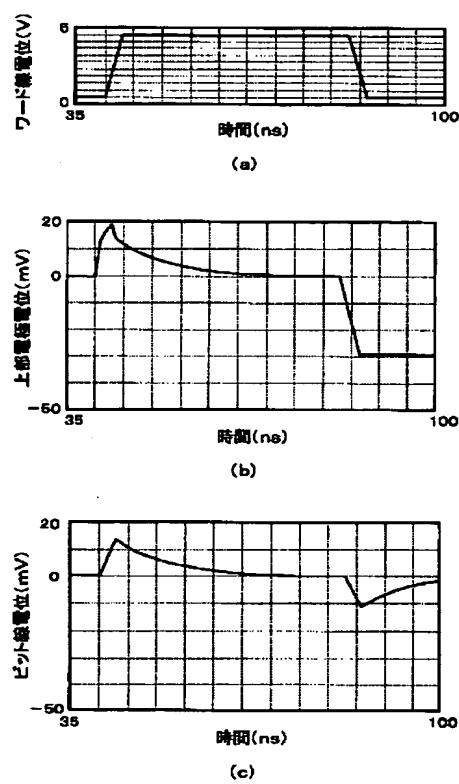
【図17】



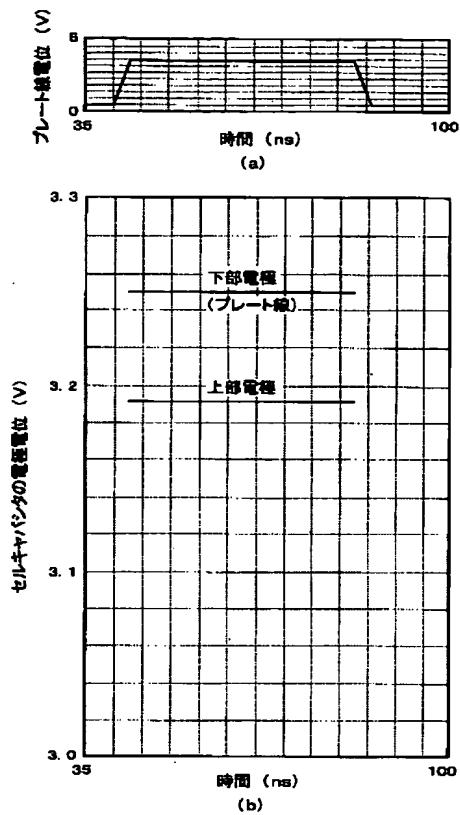
【図 19】



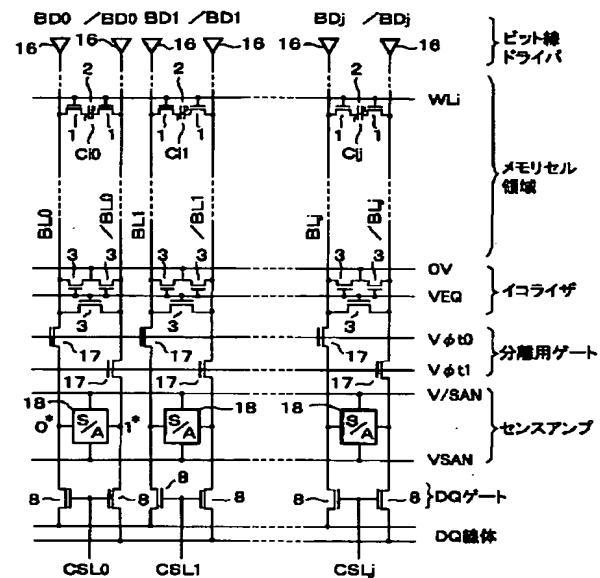
【図20】



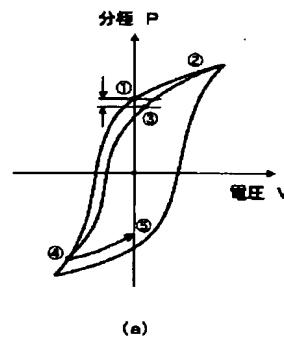
【図21】



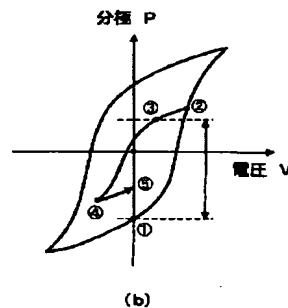
【図23】



【図24】

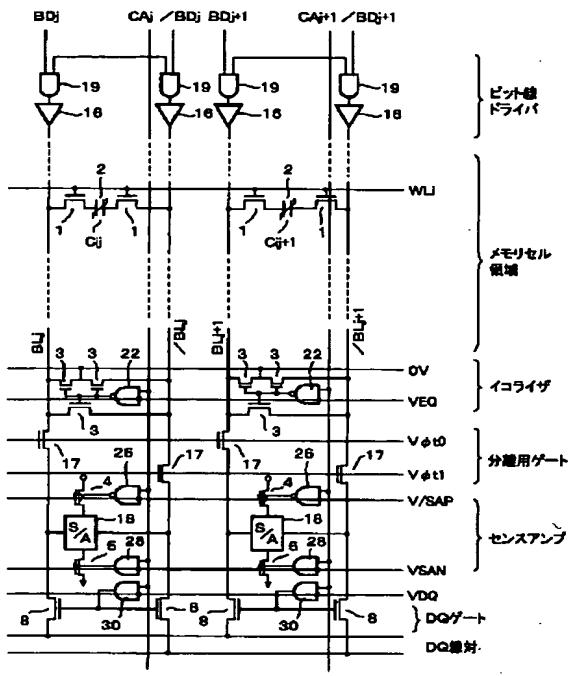


(a)

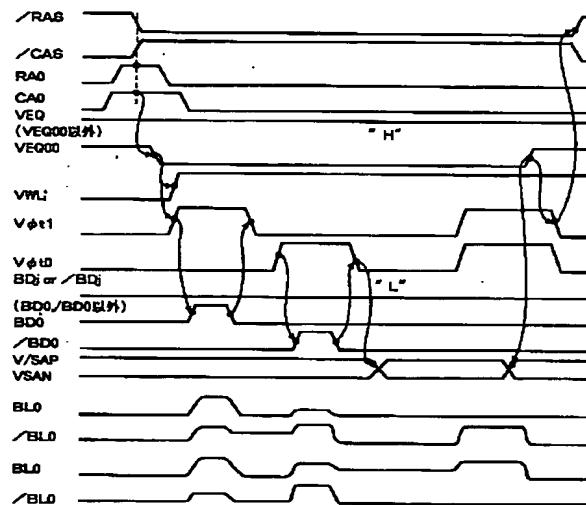


(b)

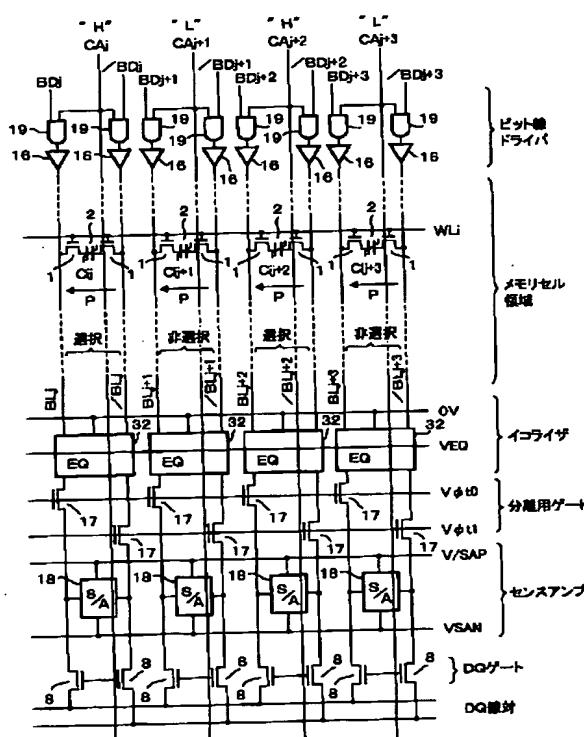
【図25】



【図26】



〔図27〕



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テマコード(参考)
H 0 1 L	21/8242	H 0 1 L	6 5 1
	21/8247	29/78	3 7 1
	29/788		
	29/792		

F ターム(参考) 5B024 AA15 BA02 BA05 BA13 CA07
CA15 CA25 CA27 EA02 EA03
EA04
5F083 AD21 FR01 FR02 GA30 JA15
LA10 LA12 LA16 LA19 LA25
MA06 MA17 ZA20
5L106 AA01 DD01 DD23 DD25 FF05